



(19)

(11) Publication number: 2000067577 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10292561

(51) Intl. Cl.: G11C 11/407 G11C 11/413

(22) Application date: 14.10.98

(30) Priority: 10.06.98 JP 10162477
 (43) Date of application publication: 03.03.00
 (84) Designated contracting states:

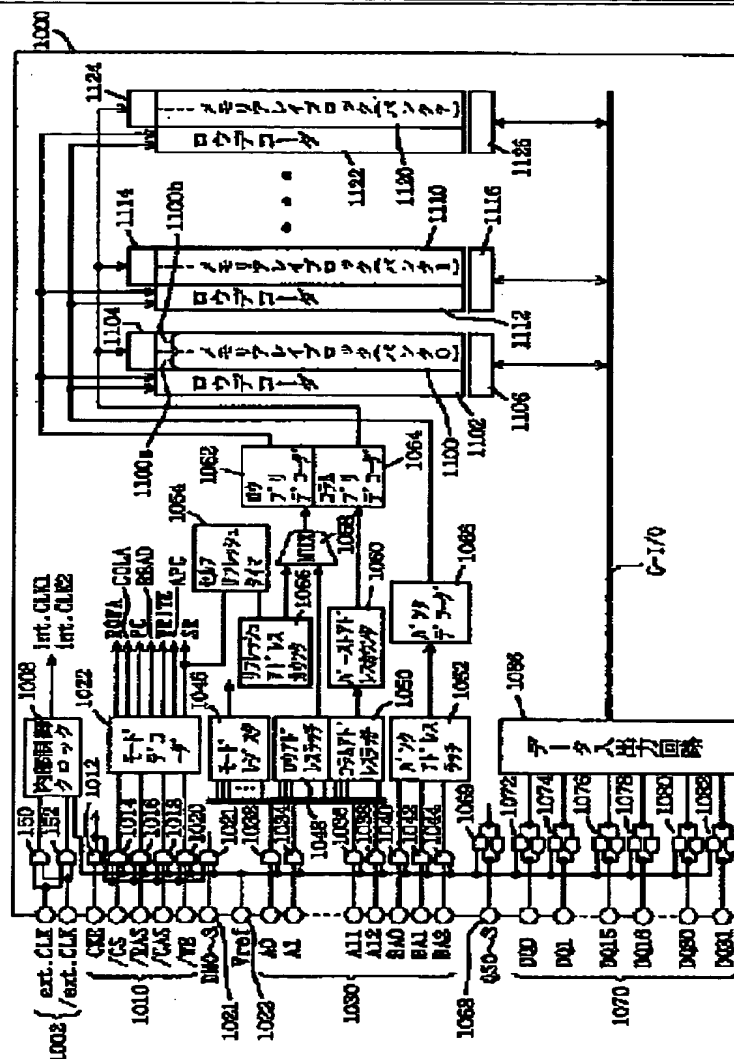
(71) Applicant: MITSUBISHI ELECTRIC CORP
 (72) Inventor: OISHI TSUKASA
 ISHIKAWA MASATOSHI
 (74) Representative:

(54) SYNCHRONOUS
 SEMICONDUCTOR MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To flexibly adjust operating margins of chips with respect to an external clock signal by performing the fetching operation of write data and the outputting operation of read out data in synchronization with a first internal clock signal which has the N-fold frequency of that of the external clock signal while being synchronized with the inputting external signal or a second internal clock signal which is synchronized with the external clock signal.

SOLUTION: In a second operating mode, a data input-output circuit 1086 converts N pieces of data in parallel which are supplied serially in synchronization with the first internal clock signal to supply write data to selected N pieces of memory cells. At the of reading data, the circuit receives readout data from selected N pieces of memory cells in parallel to convert them into N pieces of serial data and it performs the outputting operation of the read out data in synchronization with the first internal clock signal. In a first operating mode, the fetching operation of write data and the outputting operation of read out data are performed in synchronization with the second internal clock signal.



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-67577
(P2000-67577A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.⁷

G11C 11/407
11/413

識別記号

F I

G11C 11/34

テーマコード* (参考)

362S

J

354C

審査請求 未請求 請求項の数20 OL (全75頁)

(21) 出願番号 特願平10-292561

(22) 出願日 平成10年10月14日 (1998.10.14)

(31) 優先権主張番号 特願平10-162477

(32) 優先日 平成10年6月10日 (1998.6.10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 石川 正敏

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100064746

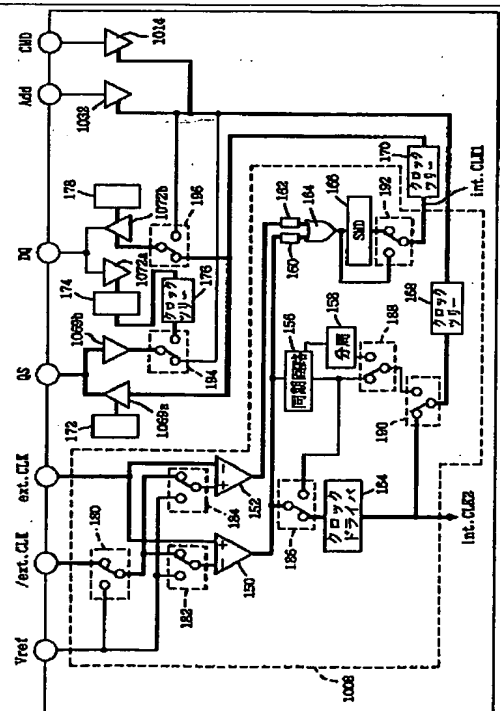
弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 システムの動作モードに合わせて、内部クロック信号の分配方式を変更可能な同期型半導体集積回路装置を提供する。

【解決手段】 同期型半導体記憶装置1000は、シングルデータレートSDRAM動作モードでは、外部クロック信号ext. CLKに同期して、入出力バッファ回路1072~1082を動作させる。ダブルデータレートSDRAM動作モードでは、外部クロック信号Ext. CLKの2倍の周波数の内部クロック信号int. CLK1を生成し、内部クロック信号int. CLK1に同期して、入出力バッファ回路1072~1082を動作させる。



【特許請求の範囲】

【請求項1】 外部クロック信号に同期して、アドレス信号と制御信号とを取りこむ同期型半導体記憶装置であって、
 行列状に配置される複数のメモリセルを有するメモリセルアレイと、
 前記同期型半導体記憶装置の動作を制御する制御回路と、
 前記外部クロック信号に同期し、かつ前記外部クロック信号よりも周波数の高い第1の内部クロック信号を出力する第1の内部同期信号発生回路と、
 前記外部クロック信号に同期した第2の内部クロック信号を出力する第2の内部同期信号発生回路と、
 前記第2の内部クロック信号に同期して、前記アドレス信号を取りこむアドレス信号入力回路と、
 前記第2の内部クロック信号に同期して、前記制御信号を取りこむ制御信号入力回路と、
 前記アドレス信号に応じて前記メモリセルを選択するメモリセル選択回路と、
 前記メモリセルへの書き込みデータあるいは前記メモリセルからの読出データが与えられる複数のデータ入出力ノードと、
 前記選択回路により選択されたメモリセルと前記データ入出力ノードとの間に設けられ、前記書き込みデータを授受するインターフェース回路とを備え、
 前記インターフェース回路は、第1の動作モードにおいては、前記第2の内部クロック信号に同期して、前記複数のデータ入出力ノードの各々から前記書き込みデータの取りこみを行い、第2の動作モードにおいては、前記第1の内部クロック信号に同期して、前記複数のデータ入出力ノードの各々から前記書き込みデータの取りこみを行う、同期型半導体記憶装置。

【請求項2】 前記第1の内部クロック信号は、前記第2の内部クロック信号のN倍の周波数であり（N：自然数、 $N \geq 2$ ）、
 前記メモリセル選択回路は、前記第2の動作モードにおいて、前記入出力ノードごとに、N個のメモリセルを一括して選択し、
 前記インターフェース回路は、
 前記複数の入出力ノードにそれぞれ対応して設けられ、
 前記第2の動作モードにおいて、前記第1の内部クロック信号に同期して、前記書き込みデータの取りこみ動作を行う複数のデータバッファ回路と、
 前記第2の動作モードにおいて、前記複数の入出力ノードの各々にシリアルに与えられるN個のデータをN個の並列データに変換して、前記選択されたメモリセルに与える複数のシリアル・パラレル変換回路を含む、請求項1記載の同期型半導体記憶装置。

【請求項3】 前記第1の内部クロック信号は、前記第2の内部クロック信号のN倍の周波数であり（N：自然

数、 $N \geq 2$ ）、

前記メモリセル選択回路は、前記第2の動作モードにおいて、前記入出力ノードごとに、N個のメモリセルを一括して選択し、

前記データ入出力回路は、

前記複数の入出力ノードにそれぞれ対応して設けられ、
 前記第2の動作モードにおいて、前記選択されたN個のメモリセルからの読出データを並列に受けて、対応する入出力ノードに与えるN個の直列データに変換するパラレル・シリアル変換回路と、

前記複数の入出力ノードにそれぞれ対応して設けられ、
 前記第2の動作モードにおいて、前記第1の内部クロック信号に同期して、前記読出データの出力動作を行う複数のデータバッファ回路とを含む、請求項1記載の同期型半導体記憶装置。

【請求項4】 前記第2の内部同期信号発生回路は、
 前記外部クロック信号を受けて、バッファ処理して出力するクロックバッファ回路と、
 前記外部クロック信号および前記第2の内部クロック信号との位相を比較し、位相差を所定値に制御するクロック位相同期回路と、

前記制御回路に制御されて、前記クロックバッファ回路の出力および前記クロック位相同期回路の出力のいずれかを選択的に前記第2の内部クロック信号として出力する第1の切換回路とを含む、請求項2または3記載の同期型半導体記憶装置。

【請求項5】 前記第2の同期信号発生回路は、
 前記制御回路に制御されて、前記クロックバッファ回路の出力を前記メモリセル選択回路に与え、前記クロック位相同期回路の出力を前記第2の内部クロック信号として出力する第2の切換回路をさらに含む、請求項4記載の同期型半導体記憶装置。

【請求項6】 前記制御信号を受ける複数の制御信号入力ノードと、

前記複数の制御信号入力ノードにそれぞれ対応して設けられ、前記第2の内部クロック信号に制御されて動作する複数の制御信号バッファ回路と、

前記アドレス信号を受ける複数のアドレス信号入力ノードと、

前記複数のアドレス入力ノードにそれぞれ対応して設けられ、前記第2の内部クロック信号に制御されて動作する複数のアドレス信号バッファ回路と、

前記第2の内部同期信号発生回路からの出力を受けて、
 前記複数の制御信号バッファ回路および前記複数のアドレス信号バッファ回路にそれぞれ与えられる前記第2の内部クロック信号の位相を揃える第1の位相調整回路とをさらに備える、請求項4記載の同期型半導体記憶装置。

【請求項7】 前記クロック位相同期回路は、
 入力されたクロック信号を遅延制御信号に応じた遅延時

間だけ遅延して出力する可変遅延回路を含み、
 前記可変遅延回路は、
 前記入力されたクロック信号を受けて、前記遅延制御信号に応じた遅延時間だけ遅延して出力する第1の遅延回路と、
 前記第1の遅延回路の出力を受けて、前記遅延制御信号に応じた遅延時間だけ遅延して出力する第2の遅延回路とを含み、
 前記クロック位相同期回路は、さらに、
 前記制御回路により制御され、前記第2の遅延回路の出力を前記第2の内部クロック信号として出力する第1の状態と、前記第1の遅延回路の出力を受けて反転して前記第1の遅延回路の入力に与え、前記第1の遅延回路の出力を所定比で分周した信号を前記第2の内部クロック信号として出力する第2の状態とを切換える第3の切換回路と、
 前記第2の内部クロック信号と前記外部クロック信号との位相を比較し、比較結果に応じて、前記位相の差が所定の値を保持するように前記遅延制御信号を制御する遅延制御回路とを含み、
 前記第2の内部同期信号発生回路は、前記制御回路により制御されて、前記第2の状態において、前記第1の遅延回路の出力を前記メモリセル選択回路に与える第4の切換回路をさらに含む、請求項4記載の同期型半導体記憶装置。

【請求項8】 前記第1の内部クロック信号は、前記第2の内部クロック信号の2倍の周波数であり、
 前記第1の内部同期信号発生回路は、
 前記外部クロック信号と前記外部クロック信号の反転信号とのそれぞれの活性化にตอบสนองして、前記第1の内部クロック信号を生成する、請求項2または3記載の同期型半導体記憶装置。

【請求項9】 前記第1の内部同期信号発生回路からの出力を受けて、前記複数のデータバッファ回路にそれぞれ与えられる前記第1の内部クロック信号の位相を揃える第2の位相調整回路とをさらに備える、請求項2または3記載の同期型半導体記憶装置。

【請求項10】 前記メモリセルアレイは、複数のメモリセルブロックに分割され、独立に読出動作および書き込み動作が可能なバンクであり、
 前記複数のメモリセルブロックに共通に設けられ、前記アドレス信号入力回路からの前記アドレス信号を伝達するアドレスバスと、
 前記複数のメモリセルブロックに共通に設けられ、前記制御回路から出力される内部制御信号を伝達するコマンドデータバスと、
 前記制御回路により制御されて、前記アドレスバスを伝達する信号の遅延量を調節する第1の可変バーニア回路と、
 前記制御回路により制御されて、前記コマンドデータバ

スを伝達する信号の遅延量を調節する第2の可変バーニア回路とをさらに備え、
 前記メモリセル選択手段は、
 前記メモリセルブロックに対応して設けられ、前記アドレスバスからの前記アドレス信号に応じて前記メモリセルを選択する複数のローカル選択回路を含み、
 各前記ローカル選択回路は、
 前記内部制御信号および前記アドレス信号に基づいて、対応するメモリセルブロックが選択されたことに応じて活性化される、請求項2または3記載の同期型半導体記憶装置。

【請求項11】 前記第1の内部クロック信号は、前記第2の内部クロック信号の2倍の周波数であり、
 前記メモリセルアレイは、複数のメモリセルブロックに分割され、
 前記第1の動作モードにおいては、前記複数のメモリセルブロックをそれぞれ前記複数のデータ入出力ノードに対応させ、前記第2の動作モードにおいては、前記複数のメモリセルブロックの2つごとに前記データ入出力ノードに対応させる切換え手段をさらに備える、請求項1記載の同期型半導体記憶装置。

【請求項12】 前記第1の内部クロック信号は、前記第2の内部クロック信号の2倍の周波数であり、
 前記メモリセルアレイは、複数のメモリセルブロックに分割され、
 前記第1の動作モードにおいては、前記複数のメモリセルブロックをそれぞれ前記複数のデータ入出力ノードに対応させ、前記第2の動作モードにおいては、前記第1の動作モードにおいては前記アドレス信号の特定のビットデータで区別される2つの前記複数のメモリセルブロックを交互に前記データ入出力ノードに対応させる切換え手段をさらに備える、請求項1記載の同期型半導体記憶装置。

【請求項13】 前記第1の内部クロック信号は、前記第2の内部クロック信号のN倍の周波数であり（N：自然数、 $N \geq 2$ ）、
 前記メモリセル選択回路は、前記入出力ノードごとに、N個データのメモリセルの一括選択動作をM周期（M：自然数、 $M \geq 2$ ）連続して行い、
 前記データ入出力回路は、
 前記複数の入出力ノードにそれぞれ対応して設けられ、前記選択されたN個のメモリセルからの読出データを順次並列に受けて、対応する入出力ノードに順次 $N \times M$ 個の直列データに変換するパラレル・シリアル変換回路と、
 前記複数の入出力ノードにそれぞれ対応して設けられ、前記第1の動作モードにおいては前記第2の内部クロック信号に同期して、前記第2の動作モードにおいては前記第1の内部クロック信号に同期して、前記読出データの出力動作を行う複数のデータバッファ回路とを含む、

請求項1記載の同期型半導体記憶装置。

【請求項14】 前記M周期にわたって前記メモリセルを選択するための内部アドレス信号を生成する内部カウンタ回路をさらに備え、

前記内部カウンタ回路は、

前記第1の動作モードおよび前記第2の動作モードのいずれにおいても前記内部アドレス信号を生成する第1のカウント回路と、

前記第2の動作モードにおいて前記内部アドレス信号を前記第1のカウント回路と交互に生成する第2のカウント回路とを含む、請求項13記載の同期型半導体記憶装置。

【請求項15】 外部クロック信号に同期して、行アドレス信号と列アドレス信号とを取りこむ同期型半導体記憶装置であって、

行列状に配置される複数のメモリセルを有するメモリセルアレイとを備え、

前記メモリセルアレイは、複数のメモリセルブロックを含み、

前記外部クロック信号に同期する内部クロック信号を出力する内部同期信号発生回路と、

前記内部クロック信号に同期して、前記行および列アドレス信号を取りこむアドレス信号入力回路と、

前記メモリセルブロックに対応して設けられ、前記行アドレス信号に応じて前記メモリセル行を選択する行選択回路とを備え、

前記行選択回路は、前記アドレス信号入力回路からの前記行アドレス信号を保持する第1の保持回路を含み、

前記メモリセルブロックに対応して設けられ、前記列アドレス信号に応じて前記メモリセル列を選択する列選択回路をさらに備え、

前記列選択回路は、

前記行アドレス信号と時分割して与えられる前記列アドレス信号を保持する第2の保持回路と、

前記第2の保持回路中の前記列アドレス信号に応じて、前記行選択回路の行選択動作終了前からデータ出力を行うメモリセル列の選択動作を開始する経路選択回路とを含む、同期型半導体記憶装置。

【請求項16】 各前記メモリセルブロックは、

メモリセル列に対応して設けられる複数のビット線対と、

前記ビット線対に対応して設けられる複数のセンスアンプとを含む、

前記列選択回路は、

前記行アドレス信号および前記列アドレス信号に応じて、選択されたメモリセルを含む前記メモリセルブロック中のセンスアンプを選択的に活性化するメモリセル活性化回路をさらに含む、請求項15記載の同期型半導体記憶装置。

【請求項17】 前記メモリセルアレイは、データの伝

達を行うための複数のデータ線対を含み、

各前記メモリセルブロックは、

メモリセル列に対応して設けられる複数のビット線対と、

前記ビット線対に対応して設けられる複数のセンスアンプと、

選択された前記ビット線対からのデータを前記データ線対へ選択的に伝達するデータ伝達回路とを含む、

前記列選択回路は、

前記行アドレス信号および前記列アドレス信号に応じて、

選択されたメモリセルを含む前記メモリセルブロック中のセンスアンプを選択的に活性化するメモリセル活性化回路と、

前記センスアンプの増幅動作終了まえに前記データ伝達回路を選択的に活性化させる出力経路選択回路とをさらに含む、請求項15記載の同期型半導体記憶装置。

【請求項18】 前記アドレス信号入力回路は、

前記行アドレス信号を前記外部クロックの活性化エッジで取込み、前記列アドレス信号を前記行アドレス信号の取込みを行った前記外部クロックの不活性化エッジで取込む、請求項15記載の同期型半導体記憶装置。

【請求項19】 前記行選択回路は、

行方向に配列される前記メモリセルブロックに共通に設けられる複数のメインワード線と、

前記メインワード線ごとに設けられる複数のサブワード線群と、

前記サブワード線群のいずれが選択されるかを指示するための選択線と、

前記サブワード線群に含まれるサブワード線ごとに設けられ、前記メインワード線および前記選択線の活性化に応じて、対応するサブワード線を活性状態に保持するドライバ回路とを含む、請求項15記載の同期型半導体記憶装置。

【請求項20】 前記サブワード線は、

隣接する2つの前記メモリセルブロック対にわたって設けられ、

第1のメモリセルブロック対に含まれる複数の第1のサブワード線と、前記第1のメモリセルブロック対に隣接する第2のメモリセルブロック対に含まれる複数の第2のサブワード線とは、互いに交互に配置される、請求項19記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、特に、外部クロック信号に同期して動作する半導体集積回路装置に関する。より特定的には、この発明は、外部クロック信号に同期して動作する、たとえば同期型半導体記憶装置に関する。

【0002】

【従来の技術】近年のマイクロプロセッサ（以下、MP

Uと称す)の動作速度の向上に伴い、主記憶装置として用いられるダイナミックランダムアクセスメモリ(以下、DRAMと称す)等の高速アクセスを実現するために、クロック信号に同期して動作する同期型DRAM(シンクロナスDRAM:以下、SDRAMと称す)等が用いられている。

【0003】このような、SDRAM等の内部動作の制御は、ロウ系動作およびコラム系動作に分割して制御される。

【0004】一方、SDRAMにおいては、一層の高速動作を可能とするために、メモリセルアレイを互いに独立動作が可能なバンクに分割した、バンク構成が用いられている。すなわち、各バンクごとに、その動作は、ロウ系動作およびコラム系動作について独立に制御されている。

【0005】

【発明が解決しようとする課題】しかしながら、半導体記憶装置に対しては、その使用されるシステムによっては、より一層の高速動作が要求されている。

【0006】一方で、システムによっては、それほど高速動作が要求されない場合も存在する。したがって、上述したような最高の速度を要求されるシステムに対応して設計されたSDRAMを、それよりも低い動作周波数が許されるシステムにおいて使用する場合、最高動作のスペックのまま動作させることは、消費電力の観点等から望ましくはない。

【0007】また、システムによっては、システム全体としての同期動作の仕方として、コントローラ側からのみ同期動作のための基準クロック信号が出力される場合と、システムを構成するコントロール装置や、半導体記憶装置のそれぞれに対して、平等に同期クロック信号が配分される構成となっている場合も存在する。

【0008】したがって、上記2つの場合において、クロック信号のスキューの影響等を考慮すると、より高速動作を行なうためには、SDRAM自体の動作モードを変更することが必要となる場合がある。

【0009】このような場合に、それぞれの特定用途に応じて設計を行なうこととすると、その設計や製造に必要となるコストも上昇する。

【0010】また、上述したとおり、DRAMのスループットの高速化がシステムの性能向上の課題となっていることに伴い、それまでDRAMの主流であったEDO方式に代わって、外部から入力されたクロックに同期してデータの入出力を行なうSDRAMが主流になっている。

【0011】このSDRAM方式では、外部から入力されるクロックの立上がりエッジに同期してデータ、アドレス、各種コマンドをチップに入力し、メモリチップ内部の処理も一部クロックに同期して行ない、出力も外部クロックのエッジに同期して出力される。

【0012】ところが、画像データ等のように大量のデータを高速に扱う用途に用いられるシステムでは、さらに高いスループットが必要であることが指摘されている。

【0013】そのため、新たなDRAMの入出力方式として、外部からデータ用のストロブクロックを与え、その立上がりと立下がりの両方のエッジに同期してデータを入力し、また内部からデータ出力に同期させたストロブクロックを送るダブルデータレート・シンクロナスDRAM(以下、DDR-SDRAM)と呼ばれる方式が提案された。

【0014】DDR-SDRAMの一方式のブロック図を図77に示す。この図では、1つのデータ入出力端子によるデータ入出力のみについて示してある。

【0015】データの書込時は、パッド9000からストロブクロックに同期して入力されたデータは、入力バッファを経由して、一旦入力レジスタに保持される。このとき、クロックの立上がりに入ったデータとクロックの立下がりに入ったデータは、別々の入力レジスタ9002、9003に保持される。

【0016】アドレスの偶奇により入力制御回路がデータバスとレジスタの接続スイッチ9004を切替える。

【0017】データストロブクロックのレイテンシ後、クロックに同期してデータは内部のデータバスに出力される。データストロブのレイテンシは、通常2クロックとられる。メモリアレイは、アドレスの偶奇により分けられ、それぞれ対応するデータバスからデータを受取り、対応するメモリセルにデータが格納される。データが連続して書込まれる場合は、アドレスカウンタ9006と9007が必要なアドレスを発生し、メモリアレイに送る。

【0018】このとき、アドレスカウンタ9006と9007は、対応するメモリアレイが偶数アドレスであるか奇数アドレスであるかにより、発生させるパターンが異なる。

【0019】一方、データの読出時は、アドレスカウンタ9006と9007からメモリアレイに送られたアドレスにより、対応するメモリセルを読出し、データバスに出力する。

【0020】出力制御回路9008は、アドレスが偶数であるか奇数であるかによりデータバスと出力レジスタの接続を変更し、一旦データをレジスタに格納する。設定されたレイテンシに合わせて、出力制御回路は出力側のスイッチ1012を切換え、クロックの立上がりエッジと立下がりエッジに同期して出力レジスタ9009と9010にラッチされているデータを交互に出力する。

【0021】以上のようなシステムでは、シングルデータレートのSDRAM(以下、SDR-DRAM)と、DDR-SDRAMでは、チップ内部動作に類似点が多いものの、出力方式の違いによって、別個のチップを作

製することが必要であった。

【0022】本発明は、上記のような問題点を解決するためになされたものであって、システムの要求に応じて、外部クロック信号に対するチップ動作のマージンを柔軟に調整することが可能な同期型半導体記憶装置を提供することである。

【0023】したがってこの発明のさらに他の目的は、シングルデータレートSDRAMとダブルデータレートSDRAMを同一チップで実現することが可能な同期型半導体記憶装置を提供することである。

【0024】

【課題を解決するための手段】請求項1記載の同期型集積回路装置は、外部クロック信号に同期して、アドレス信号と制御信号とを取りこむ同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、同期型半導体記憶装置の動作を制御する制御回路と、外部クロック信号に同期し、かつ外部クロック信号よりも周波数の高い第1の内部クロック信号を出力する第1の内部同期信号発生回路と、外部クロック信号に同期した第2の内部クロック信号を出力する第2の内部同期信号発生回路と、第2の内部クロック信号に同期して、アドレス信号を取りこむアドレス信号入力回路と、第2の内部クロック信号に同期して、制御信号を取りこむ制御信号入力回路と、アドレス信号に応じてメモリセルを選択するメモリセル選択回路と、メモリセルへの書込みデータあるいはメモリセルからの読出データが与えられる複数のデータ入出力ノードと、選択回路により選択されたメモリセルとデータ入出力ノードとの間に設けられ、書込みデータを授受するインターフェース回路とを備え、インターフェース回路は、第1の動作モードにおいては、第2の内部クロック信号に同期して、複数のデータ入出力ノードの各々から書込みデータの取りこみを行い、第2の動作モードにおいては、第1の内部クロック信号に同期して、複数のデータ入出力ノードの各々から書込みデータの取りこみを行う。

【0025】請求項2記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、第1の内部クロック信号は、第2の内部クロック信号のN倍の周波数であり（N：自然数、 $N \geq 2$ ）、メモリセル選択回路は、第2の動作モードにおいて、入出力ノードごとに、N個のメモリセルを一括して選択し、インターフェース回路は、複数の入出力ノードにそれぞれ対応して設けられ、第2の動作モードにおいて、第1の内部クロック信号に同期して、書込みデータの取りこみ動作を行う複数のデータバッファ回路と、第2の動作モードにおいて、複数の入出力ノードの各々にシリアルに与えられるN個のデータをN個の並列データに変換して、選択されたメモリセルに与える複数のシリアル・パラレル変換回路を含む。

【0026】請求項3記載の同期型半導体記憶装置は、

請求項1記載の同期型半導体記憶装置の構成に加えて、第1の内部クロック信号は、第2の内部クロック信号のN倍の周波数であり（N：自然数、 $N \geq 2$ ）、メモリセル選択回路は、第2の動作モードにおいて、入出力ノードごとに、N個のメモリセルを一括して選択し、データ入出力回路は、複数の入出力ノードにそれぞれ対応して設けられ、第2の動作モードにおいて、選択されたN個のメモリセルからの読出データを並列に受けて、対応する入出力ノードに与えるN個の直列データに変換するパラレル・シリアル変換回路と、複数の入出力ノードにそれぞれ対応して設けられ、第2の動作モードにおいて、第1の内部クロック信号に同期して、読出データの出力動作を行う複数のデータバッファ回路とを含む。

【0027】請求項4記載の同期型半導体記憶装置は、請求項2または3記載の同期型半導体記憶装置の構成に加えて、第2の内部同期信号発生回路は、外部クロック信号を受けて、バッファ処理して出力するクロックバッファ回路と、外部クロック信号および第2の内部クロック信号との位相を比較し、位相差を所定値に制御するクロック位相同期回路と、制御回路に制御されて、クロックバッファ回路の出力およびクロック位相同期回路の出力のいずれかを選択的に第2の内部クロック信号として出力する第1の切換回路とを含む。

【0028】請求項5記載の同期型半導体記憶装置は、請求項4記載の同期型半導体記憶装置の構成に加えて、第2の同期信号発生回路は、制御回路に制御されて、クロックバッファ回路の出力をメモリセル選択回路に与え、クロック位相同期回路の出力を第2の内部クロック信号として出力する第2の切換回路をさらに含む。

【0029】請求項6記載の同期型半導体記憶装置は、請求項4記載の同期型半導体記憶装置の構成に加えて、制御信号を受ける複数の制御信号入力ノードと、複数の制御信号入力ノードにそれぞれ対応して設けられ、第2の内部クロック信号に制御されて動作する複数の制御信号バッファ回路と、アドレス信号を受ける複数のアドレス信号入力ノードと、複数のアドレス入力ノードにそれぞれ対応して設けられ、第2の内部クロック信号に制御されて動作する複数のアドレス信号バッファ回路と、第2の内部同期信号発生回路からの出力を受けて、複数の制御信号バッファ回路および複数のアドレス信号バッファ回路にそれぞれ与えられる第2の内部クロック信号の位相を揃える第1の位相調整回路とをさらに備える。

【0030】請求項7記載の同期型半導体記憶装置は、請求項4記載の同期型半導体記憶装置の構成に加えて、クロック位相同期回路は、入力されたクロック信号を遅延制御信号に応じた遅延時間だけ遅延して出力する可変遅延回路を含み、可変遅延回路は、入力されたクロック信号を受けて、遅延制御信号に応じた遅延時間だけ遅延して出力する第1の遅延回路と、第1の遅延回路の出力を受けて、遅延制御信号に応じた遅延時間だけ遅延して

出力する第2の遅延回路とを含み、クロック位相同期回路は、さらに、制御回路により制御され、第2の遅延回路の出力を第2の内部クロック信号として出力する第1の状態と、第1の遅延回路の出力を受けて反転して第1の遅延回路の入力に与え、第1の遅延回路の出力を所定比で分周した信号を第2の内部クロック信号として出力する第2の状態とを切換える第3の切換回路と、第2の内部クロック信号と外部クロック信号との位相を比較し、比較結果に応じて、位相の差が所定の値を保持するように遅延制御信号を制御する遅延制御回路とを含み、第2の内部同期信号発生回路は、制御回路により制御されて、第2の状態において、第1の遅延回路の出力をメモリセル選択回路に与える第4の切換回路をさらに含む。

【0031】請求項8記載の同期型半導体記憶装置は、請求項2または3記載の同期型半導体記憶装置の構成に加えて、第1の内部クロック信号は、第2の内部クロック信号の2倍の周波数であり、第1の内部同期信号発生回路は、外部クロック信号と外部クロック信号の反転信号とのそれぞれの活性化にตอบสนองして、第1の内部クロック信号を生成する。

【0032】請求項9記載の同期型半導体記憶装置は、請求項2または3記載の同期型半導体記憶装置の構成に加えて、第1の内部同期信号発生回路からの出力を受けて、複数のデータバッファ回路にそれぞれ与えられる第1の内部クロック信号の位相を揃える第2の位相調整回路とをさらに備える。

【0033】請求項10記載の同期型半導体記憶装置は、請求項2または3記載の同期型半導体記憶装置の構成に加えて、メモリセルアレイは、複数のメモリセルブロックに分割され、独立に読出動作および書込み動作が可能なバンクであり、複数のメモリセルブロックに共通に設けられ、アドレス信号入力回路からのアドレス信号を伝達するアドレスバスと、複数のメモリセルブロックに共通に設けられ、制御回路から出力される内部制御信号を伝達するコマンドデータバスと、制御回路により制御されて、アドレスバスを伝達する信号の遅延量を調節する第1の可変バーニア回路と、制御回路により制御されて、コマンドデータバスを伝達する信号の遅延量を調節する第2の可変バーニア回路とをさらに備え、メモリセル選択手段は、メモリセルブロックに対応して設けられ、アドレスバスからのアドレス信号に応じてメモリセルを選択する複数のローカル選択回路を含み、各ローカル選択回路は、内部制御信号およびアドレス信号に基づいて、対応するメモリセルブロックが選択されたことに応じて活性化される。

【0034】請求項11記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、第1の内部クロック信号は、第2の内部クロック信号の2倍の周波数であり、メモリセルアレイは、複数の

メモリセルブロックに分割され、第1の動作モードにおいては、複数のメモリセルブロックをそれぞれ複数のデータ入出力ノードに対応させ、第2の動作モードにおいては、複数のメモリセルブロックの2つごとにデータ入出力ノードを対応させる切換え手段をさらに備える。

【0035】請求項12記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、第1の内部クロック信号は、第2の内部クロック信号の2倍の周波数であり、メモリセルアレイは、複数のメモリセルブロックに分割され、第1の動作モードにおいては、複数のメモリセルブロックをそれぞれ複数のデータ入出力ノードに対応させ、第2の動作モードにおいては、第1の動作モードにおいてはアドレス信号の特定のビットデータで区別される2つの複数のメモリセルブロックを交互にデータ入出力ノードに対応させる切換え手段をさらに備える。

【0036】請求項13記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、第1の内部クロック信号は、第2の内部クロック信号のN倍の周波数であり（N：自然数、 $N \geq 2$ ）、メモリセル選択回路は、入出力ノードごとに、N個データのメモリセルの一括選択動作をM周期（M：自然数、 $M \geq 2$ ）連続して行い、データ入出力回路は、複数の入出力ノードにそれぞれ対応して設けられ、選択されたN個のメモリセルからの読出データを順次並列に受けて、対応する入出力ノードに順次 $N \times M$ 個の直列データに変換するパラレル・シリアル変換回路と、複数の入出力ノードにそれぞれ対応して設けられ、第1の動作モードにおいては第2の内部クロック信号に同期して、第2の動作モードにおいては第1の内部クロック信号に同期して、読出データの出力動作を行う複数のデータバッファ回路とを含む。

【0037】請求項14記載の同期型半導体記憶装置は、請求項13記載の同期型半導体記憶装置の構成に加えて、M周期にわたってメモリセルを選択するための内部アドレス信号を生成する内部カウンタ回路をさらに備え、内部カウンタ回路は、第1の動作モードおよび第2の動作モードのいずれにおいても内部アドレス信号を生成する第1のカウント回路と、第2の動作モードにおいて内部アドレス信号を第1のカウント回路と交互に生成する第2のカウント回路とを含む。

【0038】請求項15記載の同期型半導体記憶装置は、外部クロック信号に同期して、行アドレス信号と列アドレス信号とを取りこむ同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイとを備え、メモリセルアレイは、複数のメモリセルブロックを含み、外部クロック信号に同期する内部クロック信号を出力する内部同期信号発生回路と、内部クロック信号に同期して、行および列アドレス信号を取りこむアドレス信号入力回路と、メモリセルブロッ

クに対応して設けられ、行アドレス信号に応じてメモリセル行を選択する行選択回路とを備え、行選択回路は、アドレス信号入力回路からの行アドレス信号を保持する第1の保持回路を含み、メモリセルブロックに対応して設けられ、列アドレス信号に応じてメモリセル列を選択する列選択回路をさらに備え、列選択回路は、行アドレス信号と時分割して与えられる列アドレス信号を保持する第2の保持回路と、第2の保持回路中の列アドレス信号に応じて、行選択回路の行選択動作終了前からデータ出力を行うメモリセル列の選択動作を開始する経路選択回路とを含む。

【0039】請求項16記載の同期型半導体記憶装置は、請求項15記載の同期型半導体記憶装置の構成に加えて、各メモリセルブロックは、メモリセル列に対応して設けられる複数のビット線対と、ビット線対に対応して設けられる複数のセンスアンプとを含み、列選択回路は、行アドレス信号および列アドレス信号に応じて、選択されたメモリセルを含むメモリセルブロック中のセンスアンプを選択的に活性化するメモリセル活性化回路をさらに含む。

【0040】請求項17記載の同期型半導体記憶装置は、請求項15記載の同期型半導体記憶装置の構成に加えて、メモリセルアレイは、データの伝達を行うための複数のデータ線対を含み、各メモリセルブロックは、メモリセル列に対応して設けられる複数のビット線対と、ビット線対に対応して設けられる複数のセンスアンプと、選択されたビット線対からのデータをデータ線対へ選択的に伝達するデータ伝達回路とを含み、列選択回路は、行アドレス信号および列アドレス信号に応じて、選択されたメモリセルを含むメモリセルブロック中のセンスアンプを選択的に活性化するメモリセル活性化回路と、センスアンプの増幅動作終了までにデータ伝達回路を選択的に活性化させる出力経路選択回路とをさらに含む。

【0041】請求項18記載の同期型半導体記憶装置は、請求項15記載の同期型半導体記憶装置の構成に加えて、アドレス信号入力回路は、行アドレス信号を外部クロックの活性化エッジで取込み、列アドレス信号を行アドレス信号の取込みを行った外部クロックの不活性化エッジで取込む。

【0042】請求項19記載の同期型半導体記憶装置は、請求項15記載の同期型半導体記憶装置の構成に加えて、行選択回路は、行方向に配列されるメモリセルブロックに共通に設けられる複数のメインワード線と、メインワード線ごとに設けられる複数のサブワード線群と、サブワード線群のいずれが選択されるかを指示するための選択線と、サブワード線群に含まれるサブワード線ごとに設けられ、メインワード線および選択線の活性化に応じて、対応するサブワード線を活性状態に保持するドライバ回路とを含む。

【0043】請求項20記載の同期型半導体記憶装置は、請求項19記載の同期型半導体記憶装置の構成に加えて、サブワード線は、隣接する2つのメモリセルブロック対にわたって設けられ、第1のメモリセルブロック対に含まれる複数の第1のサブワード線と、第1のメモリセルブロック対に隣接する第2のメモリセルブロック対に含まれる複数の第2のサブワード線とは、互いに交互に配置される。

【0044】

【発明の実施の形態】〔実施の形態1〕図1は、本発明の実施の形態1の同期型半導体記憶装置1000の構成を示す概略ブロック図である。

【0045】SDRAM1000は、外部から与えられる相補なクロック信号ext. CLKおよびext. /CLKを受ける外部クロック信号入力端子1002と、外部クロック端子1002に与えられたクロック信号をバッファ処理するクロック入力バッファ150および152と、クロックバッファ150および152の出力を受けて、第1の内部クロック信号int. CLK1および第2の内部クロック信号int. CLK2を生成する内部制御クロック信号生成回路1008と、外部制御信号入力端子1010を介して与えられる外部制御信号を、第2の内部クロック信号int. CLK2に応じて動作する入力バッファ1012～1020を介して受けるモードデコーダ1022とを備える。

【0046】内部制御信号入力端子1010には、信号CKEと、チップセレクト信号/CSと、行アドレスストロブ信号/RASと、列アドレスストロブ信号/CASと書込制御信号/WEと、データマスク信号DM0～DM3が与えられる。

【0047】信号CKEは、チップへの制御信号の入力を可能とすることを指示するための信号であり、この信号が活性化されないと、制御信号の入力が許可されずチップとして動作しない。

【0048】信号/CSは、コマンド信号が入力されているか否かを識別するための信号であり、この信号が活性化している状態（“L”レベル）において、クロック信号の立上りのエッジにおいて、他の制御信号のレベルの組合せに応じてコマンドの識別が行なわれる。

【0049】信号/RASは、行系回路の動作を指示するための信号であり、信号/CASは列系回路の動作の活性化を指示するための信号である。信号/WEは、書込動作あるいは読出動作の識別をするための信号である。

【0050】信号DM0～DM3は、それぞれ対応するデータ入出力端子DQ0～DQ7、DQ8～DQ15、DQ16～DQ23、DQ24からDQ31に対するデータ授受のマスク動作を指示する信号である。

【0051】モードデコーダ1022は、これら外部制御信号に応じて、SDRAM1000の内部回路の動作

を制御するための内部制御信号を出力する。モードデコーダ1022は、たとえば内部制御信号として、信号ROWA、信号COLA、信号ACD、信号PC、信号READ、信号WRITE、信号APCおよび信号SRを出力する。信号ROWAは、ロウ系のアクセスが行なわれることを示す信号であり、信号COLAはコラム系アクセスが行なわれることを示す信号であり、信号ACTはワード線の活性化を指示する信号である。

【0052】信号PCはプリチャージ動作を指示して、行系の回路動作の終了を指示する信号である。信号READは列系の回路に対して読出動作を指示するための信号であり、信号WRITEは列系の回路に対して書込動作を指示するための信号である。

【0053】信号APCはオートプリチャージ動作を指示する信号であり、オートプリチャージ動作が指定されると、バーストサイクルの終了とともに、プリチャージ動作が自動的に開始される。信号SRはセルフリフレッシュ動作を指示するための信号であり、セルフリフレッシュ動作が開始されると、セルフリフレッシュタイマが動作し、一定時間が経過すると、ワード線を活性化させて、リフレッシュ動作を開始する。

【0054】SDRAM1000は、さらに、セルフリフレッシュモードが信号SRにより指定されると、動作を開始し、一定時間が経過するとワード線の活性化、すなわちリフレッシュ動作の開始を指示するためのセルフリフレッシュタイマ1054と、セルフリフレッシュタイマ1054からの指示に従って、リフレッシュ動作を行なうアドレスを発生するためのリフレッシュカウンタ1056を含む。SDRAM1000は、さらに、入力信号の“H”レベルまたは“L”レベルの判定の基準となる信号VREFを受ける参照電位入力端子1022と、アドレス信号入力端子1030を介して与えられるアドレス信号と、上述した外部制御信号との組合せに応じて、所定の動作モードに対する情報、たとえばバースト長に対するデータや、後に説明するようなシングルデータレート動作およびダブルデータレート動作のいずれが指定されているかに関する情報を保持するモードレジスタ1046と、第2の内部クロック信号int. CLK2に応じて動作するアドレス信号入力バッファ1032~1038を介してアドレス信号を受けて、行アドレスが入力されるタイミングにおいて、入力された行アドレスを保持するロウアドレスラッチ1048と、アドレス信号A0~A12を受けて、列アドレスが入力されるタイミングにおいてこの列アドレスを保持するコラムアドレスラッチ1050と、リフレッシュアドレスカウンタ1056からの出力とロウアドレスラッチ1048からの出力とを受けて、通常動作においてはロウアドレスラッチ1048からの出力を、セルフリフレッシュ動作中はリフレッシュアドレスカウンタ1056からの出力を選択して出力するマルチプレクサ1058と、マルチ

プレクサ1058からの出力を受けて行アドレスをプリデコードするためのロウプリデコーダ1062と、コラムアドレスラッチ1050に保持された列アドレスを基準として、モードレジスタ1046からのバースト長のデータに応じて内部列アドレスを生成するバーストアドレスカウンタ1060と、バーストアドレスカウンタ1060の出力を受けて、対応する列アドレスのプリデコードを行なうコラムプリデコーダ1064と、アドレス入力端子に与えられるバンクアドレスBA0~BA2を、内部クロック信号int. CLK2に応じて動作する入力バッファ1040~1044を介して受け、指定されたバンクアドレス値を保持するバンクアドレスラッチ1052と、バンクアドレスラッチ1052の出力を受けて、バンクアドレスをデコードするバンクデコーダ1066とを備える。

【0055】なお、アドレス信号入力端子1030に与えられるアドレス信号は、モードレジスタへの動作モード情報の書込を行なう際に、その何ビットかの組合せによって、モードレジスタ中にデータを書込むためにも用いられる。たとえば、バースト長のBLや、CASレイテンシCLの値などの設定が、アドレス信号の所定のビット数の組合せにより指定される。

【0056】また、バンクアドレス信号BA0~BA2は、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいてアクセスバンクを指示する。すなわち、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいて、アドレス信号入力端子1030に与えられたバンクアドレス信号BLA0~BLA2は、バンクアドレスラッチ1052に取込まれた後、バンクデコーダ1066によりデコードされた後、各メモリアレイブロック（バンク）に伝達される。

【0057】SDRAM1000は、さらに、それぞれが読出／書込動作を独立に行なうことが可能な単位であるバンク0~バンク7として動作するメモリアレイブロック1100、1110および1120と、バンクデコーダ1066からの出力およびロウプリデコーダ1062からの出力に応じて、対応するバンク中の行（ワード線）を選択するためのロウデコーダ1102、1112および1122と、コラムプリデコーダ1064からの出力に応じて対応するバンク中の列（ビット線対）を選択するためのコラムデコーダ1104、1114および1124と、読出動作においては選択されたバンク中の選択されたメモリセルから読出されたデータをグローバルI/OバスG-I/Oに与え、書込動作においては、バスG-I/Oにより伝達された書込データを対応するバンクに与えるI/Oポート1106、1116および1126と、書込動作において、外部から与えられた書込データを保持し、バーストG-I/Oに与え、読出動作において、バスG-I/Oにより伝達された読出データを保持するデータ入出力回路1086と、データ入出

力回路1086とデータ入出力端子1070との間で入出力データDQ0～DQ31のやり取りを行なうための双方向入出力バッファ1072～1082を含む。

【0058】双方向入出力バッファ1072～1082は、後に説明するようにモードレジスタ1046に保持された動作モードデータに応じて、ダブルデータレートSDRAM（以下、DDR-SDRAMと称す）動作モード第では1の内部クロック信号int. CLK1に同期して、シングルデータレートSDRAM（以下、SDR-SDRAMと称す）動作モードでは第2の内部クロック信号int. CLK2に同期して動作する。

【0059】入出力端子1068に対して双方向入出力バッファ1069を介して授受される信号QS0～QS3は、それぞれ対応するデータ入出力端子DQ0～DQ7、DQ8～DQ15、DQ16～DQ23、DQ24からDQ31のデータ授受のタイミングを示す信号である。

【0060】後に説明するSDR-SDRAM動作モードでは、信号信号QS0～QS3を信号QSと総称し、DDR-SDRAM動作モードでは、信号信号QS0～QS3を信号DQSと総称する。

【0061】図2は、図1に示したSDRAM1000のシングルデータレート動作を説明するためのタイミングチャートである。

【0062】図2では、バースト長が8で、リード動作のCASレイテンシが3の場合の動作を説明する。

【0063】[SDR-SDRAMモードでの書込動作]時刻t0において、外部クロック信号ext. CLKの立上がり時点において、信号/CS、信号/RASが活性状態（“L”レベル）であって、活性化されるバンクアドレスが指定されることで、対応するバンクの動作が活性化される。

【0064】また、時刻t0において与えられたアドレス信号に応じて、対応する行の選択動作が行なわれる。

【0065】続いて、時刻t1における外部クロック信号ext. CLKの立上がりの時点で、信号/CS、信号/CASおよび信号/WEが活性状態（“L”レベル）であることに応じて、書込動作が指定される。時刻t1において与えられるアドレス信号に応じて、連続したデータの書込（バーストライト動作）が行なわれる。すなわち、SDRAM1000内における書込動作を指示する信号WRITEが活性状態（“H”レベル）となるとともに、バーストアドレスカウンタ1060から指定されたバースト長に応じた内部アドレスint. ADDが出力される。

【0066】これに応じて、時刻t1においてデータ入出力端子DQ（以下、データ入出力端子1070中の任意の1つをデータ入出力端子DQと呼ぶ）に与えられた書込データは、SDRAM1000内のデータ入出力回路1086中にラッチされ、グローバルI/OバスD/

I/Oを介して、選択されたメモリアレイブロックまで伝達される。

【0067】メモリアレイブロック中のI/O線対M-I/Oを介して伝達された書込データは、SDRAM1000中において生成される書込クロック信号WCLKに応じて、内部アドレス信号int. ADDにより選択されたメモリセル列に対応する列選択信号YSが活性化することで、時刻t2において、ビット線対BLへと伝達される。

【0068】これに応じて、選択されたメモリセルへのデータの書込が行なわれる。以下、同様にして、順次、時刻t3～t9においてデータ入出力端子DQに与えられるデータが、順次選択されたメモリセルへと書込まれる。

【0069】[SDR-SDRAM動作モードでの読出動作]一方、読出動作においては、時刻t10における外部クロック信号ext. CLKの立上がりの位置において、信号/CSおよび信号/RASが活性化することで、バンクアドレス信号により選択されたバンクが活性化される。

【0070】さらに、時刻t10において与えられたアドレス信号に応じて、対応する行の選択動作が行なわれる。

【0071】続いて、時刻t11における外部クロック信号ext. CLKの立上がりにおいて、信号/CSおよび信号/CASが活性状態（“L”レベル）であることに応じて、読出動作が指定され、時刻t11において与えられるアドレス信号により、対応する列の選択動作が行なわれる。この時刻t11において与えられたアドレス信号に応じて、バーストアドレスカウンタ1060は、指定されたバースト長＝8に対応するバーストアドレスを順次出力する。

【0072】SDRAM1000中において生成される読出クロック信号RCLKにตอบสนองして、対応するメモリセルの選択が行なわれ、読出データがI/O線対M-I/OおよびグローバルI/OバスG-I/Oを介して、データ入出力回路1086まで読出されて保持される。時刻t11において与えられた列アドレスに対応する読出データは、それよりも3クロック後の時刻t14において、データ入出力端子DQに対して出力される。

【0073】以下、同様にして、バーストアドレスカウンタ1060により指定されるバーストアドレスから読出されたデータが、順次時刻t15～時刻t21（図示せず）において、データ入出力端子DQに与えられる。

【0074】図3は、図1に示したSDRAM1000のダブルデータレート動作の概略を説明するためのタイミングチャートである。

【0075】図3においては、バースト長が8で、リード動作のCASレイテンシが2の場合の動作を説明する。

【0076】ここで、バースト長が8、リード時のCASレイテンシが2の場合を示している。CASレイテンシが2とは、コマンド入力後2クロック目にデータ出力が開始されることを意味する。

【0077】[DDR-SDRAMモードでの書込動作] 図3を参照して、時刻t0における外部クロック信号ext. CLKの立上がりのエッジにおいて、信号/CSおよび信号/RASが活性状態であることに応じて、SDRAMの活性化が指示される時刻t0において、行アドレスおよびバンクアドレスの取込が行なわれ、ロウアドレスラッチ1048およびバンクアドレスラッチ1052中に保持される。

【0078】続いて、時刻t1において内部クロック信号int. CLKの活性化のエッジで信号/CS、信号/CASおよび信号/WEが活性状態であることに応じて書込動作が指定される。このとき、列アドレスも入力されコラムアドレスラッチ1050がその値を保持する。このとき、バーストライトの動作モードを設定することで、次のサイクル以降での書込作業はバーストテストカウンタ1060により、SDRAM1000内部において自動的にコラムアドレスをインクリメントさせながら進行することになる。

【0079】書込動作が指定されることで内部における書込動作を指示するためのフラグ信号の信号WRITEが活性状態へと変化する。

【0080】その後は、SDRAM1000に与える信号DQSに同期して、外部において書込データを変化させることで、書込データの取込が行なわれる。

【0081】さらに、シリアルに書きこまれたデータは、データ入出力回路1086において、2ビットごとに、パラレルデータに変換され、時刻t3以後、時刻t4～t6において、選択されたメモリセルに書きこまれる。

【0082】[DDR-SDRAMモードでの読出動作] 次に、読出動作においては、時刻t10において、外部クロック信号ext. CLKの立上がりのエッジにおいて、信号/CSおよび信号RASが活性状態であることに応じて、ワード線を活性化させるためのACTコマンドの入力が行なわれる。この時点で、ワード線を指定するアドレスの入力も同時に行なわれる。

【0083】続いて、時刻t11において、信号/CSおよび信号/CASが活性状態であることに応じて、読出動作の指定が行なわれる。このとき、列アドレスの指定が行なわれ、コラムアドレスラッチ1050に保持される。コラムアドレスラッチ1050に保持された列アドレスに基づいて、バーストアドレスカウンタ1060が内部アドレスを生成する。ワード線が活性化され、選択されたメモリセルから2ビット並列に読出され、センスアンプにより増幅されたデータは、SDRAM1000中で生成される読出クロックRCLKに同期して読出

される。

【0084】2ビット並列に読み出されたデータは、データ入出力回路1086に保持され、シリアルデータに変換されて、時刻t13から順次データ入出力端子1070に対して出力されていく。

【0085】ここで、バーストリードの動作モードに対する設定が行なわれていると、時刻t14以降の読出動作は、内部で自動的にコラムアドレスをインクリメントさせながら、2ビットの並列読出およびシリアルデータの変換が順次行なわれ、データ入出力端子への出力が行われることになる。

【0086】このとき、データ出力に同期して、SDRAM1000から信号DQSを出力し、SDRAM1000の外部に対してデータ出力のタイミングを与える。

【0087】以上説明したとおり、コラム系のアクセスにおいては、アドレス信号はコラムアドレスラッチ1050に取込まれる。この列アドレスのバースト時における変化の仕方は、後に説明するように、インタリーブ方式とシーケンシャル方式との2種類がある。そのいずれの変化の仕方を選択するかは、アドレス信号の組合せにより、モードレジスタ1046中に動作情報として蓄積される。このモードレジスタ1046の制御に従って、バーストアドレスカウンタ1060の変化の仕方が異なることになる。

【0088】DDR-SDRAM動作モードでは、外部クロック信号の1サイクルにおいて、データを2回出力することが必要である。そこで、DDR-SDRAM動作モードでの内部回路の動作としては、1クロックサイクルにおいて、選択されたメモリアレイブロックから2個のデータを読出すことになる。そのために、バーストアドレスカウンタ1060から出力されるアドレス信号は、この2個のデータを読出すための2つのアドレスを一度に発生させることが必要となる。

【0089】この場合、問題となるのは、バーストアドレスの初期状態、すなわち、外部から与えられる列アドレス信号は、偶数あるいは奇数のいずれのアドレスでもよいために、バーストアドレスの生成は、入力されたアドレスから順次インクリメントしていけばよいわけではないことである。

【0090】たとえば、外部から列アドレス信号として1が入力された場合においても、発生されるべきペアの内部列アドレス信号は、シーケンシャルモードの場合には(1、2)であるのに対し、インタリーブモードの場合には(1、0)となる。

【0091】したがって、偶数のアドレスでの列選択が行なわれる場所と、これとペアになる奇数のアドレスでの列選択(列選択信号が活性化される列)の場所とが異なることになる。

【0092】このために、SDRAM1000では、偶数アドレスに対応する領域と奇数アドレスに対応する領

域にメモリセルアレイブロックの各々を分割し、偶数のアドレスに対応する列選択信号と、奇数のアドレスに対応する列選択信号のデコーダを分離し、独立に動作させる構成となっている。

【0093】たとえば、メモリセルアレイバンク0においては、偶数アドレスに対応する領域1100aと奇数アドレスに対応する領域1100bとにメモリアレイブロックが分割されている。

【0094】以上の点を考慮して、DDR-SDRAM動作モードでの書込み動作および読出動作を見直すと以下のようである。

【0095】最初の列アクセスサイクルにおけるアドレス信号は、外部から入力されたままの値がコラムプリデコード1064に伝達される。

【0096】次のバーストサイクルにおいては、偶数アドレス用のアドレスカウンタと奇数アドレス用のアドレスカウンタに対応した処理がそれぞれなされた後、コラム系のプリデコード1064に伝達されることになる。

【0097】DDR-SDRAMとして動作する場合、データの入力動作は、上述したとおり、両方向同期の場合（以下、バイディレクショナルモードと呼ぶ）には、外部から入力されるDQSクロックに同期して実施される。

【0098】データ出力動作は、SDRAM1000内の内部制御クロック生成回路1008において生成される同期クロックに同期して行なわれる。

【0099】ライト動作時には、まず、コマンドとファーストアドレスが入力される。データは、外部クロックの倍の周波数で、これらコマンドやファーストアドレスよりも少し遅れて入力される。外部クロックに対しては遅れるものの、外部から入力されるDQSクロックをタイミングとしてデータの取込動作を行なうのであれば、この遅れは問題とならない。

【0100】ライトコマンド入力認識されると、モードデコード1022はライトフラグWRITEを活性化し、内部制御クロック発生回路1008からの内部クロック信号int. CLK1に対応してライトクロック信号WCLKが発生される。データの入力がやや遅れているため、その分ライトクロック信号も遅延させる必要がある。

【0101】図3においては、若干のマージンを見込んで、外部クロック信号に対して2クロック信号分だけ遅れた位相でライトクロック信号を活性化させる。データ入出力端子1070において、外部クロック信号の2倍の周期の内部クロック信号int. CLK1に同期してデータ入出力回路1086に取込まれたライトデータは、このライトクロック信号WCLKに同期して、2ビット同時（偶数アドレス分と奇数アドレス分）に、グローバルI/OバスG-I/Oとアレイ状のメインI/O線対M-I/Oを介して伝達される。選択されたメモリ

アレイブロック中の所定の列に対する列選択信号が活性化することにより、選択されたビット線対を介して、メモリセルに対してデータの書込が行なわれる。バーストサイクルにおける2回目のアクセス以降は、バーストアドレスカウンタ1060からは、バーストの方式に合わせて変化する内部列アドレス信号が出力され、ライトクロック信号WCLKに合わせて2ビットずつライトデータの書込が順次行なわれる。

【0102】リード動作においては、コマンドとファーストアドレスが入力されて、モードデコード1022が、リードコマンド入力を認識すると、モードデコード1022は、リードフラグREADを活性化する。これに応じて、内部制御クロック生成回路1008から出力される外部クロック信号と同一の周波数を有する内部クロック信号int. CLK2に回答して、リードクロック信号RCLKが発生される。このリードクロック信号RCLKに合わせて、列選択信号YSが活性化され、センスアンプから2ビット（偶数アドレス群と奇数アドレス群）のデータが同時に読出される。

【0103】この読出された2ビット分のデータは、メインI/O線対M-I/OおよびグローバルI/OバスG-I/Oを介して、リードデータとしてデータ入出力回路1086に伝達されラッチされる。このデータ入出力回路1086において、パラレルに入力された2ビット分の読出データは、シリアル変換が行なわれた後、内部制御クロック生成回路1008から出力され、外部クロック信号に対して2倍の周期で変化する内部クロック信号int. CLK1に同期して、CASレイテンシのタイミングよりも少し早めのクロックタイミングで出力される。

【0104】バーストサイクルにおける2回目のアクセス以降は、バーストアドレスカウンタ1060から、バーストアドレスの方式に合わせて変化する内部列アドレス信号が出力され、これに応じて、リードクロック信号RCLKに合わせて選択されたメモリセルブロック（バンク）からリードデータの読出が順次行なわれる。

【0105】[DDR-SDRAMとSDR-SDRAMとの比較] 図4は、以上説明したような、シングルデータレートSDRAMとDDR-SDRAMの動作仕様の違いを示す図である。

【0106】まず、データの入力に関しては、SDR-SDRAMは、入出力動作ともに、外部クロックの立上がりエッジに回答して行なわれる。SDR-SDRAMにおいては、データの出力動作も、CASレイテンシ後の外部クロック信号の立上がりエッジに同期して行なわれる。

【0107】一方、DDR-SDRAMのデータの入力は、バイディレクショナルモードの場合には、外部からSDRAM1000に対して与えられるDQSクロックに同期して行なわれる。

【0108】ユニディレクショナルモードの場合には、外部クロック信号 ext_CLK の立上がりおよび立下りの両エッジ、もしくは、相補クロックとして与えられる外部クロック信号 ext_CLK および $\overline{ext_CLK}$ に応じて発生される外部クロック信号 ext_CLK の2倍の周波数を有する内部クロック信号 int_CLK に同期してデータの取込が行なわれる。DDR-SDRAMのデータ出力動作は、外部クロック信号 ext_CLK に同期し、外部クロック信号 ext_CLK の2倍の周波数を有する内部クロック信号 int_CLK に同期して行なわれる。これと同時に、SDRAM1000からは、外部に対して、QSCロックがデータ出力のタイミングを知らせる信号として出力される。

【0109】したがって、DDR-SDRAMからSDR-SDRAMの動作モードに変更する場合には、データ入力クロックの切換、データ出力クロックの切換、同期クロック発生の中止、データ入力部のラッチへの入力タイミングと内部に伝達させるタイミングの切換、データ出力部のラッチへの入力タイミングと出力バッファに伝達させるタイミングの切換を行なうことでこの切換を行なうことは基本的には可能となる。

【0110】次に、クロック信号に関しては、DDR-SDRAMは、外部から与えられる相補クロック信号 ext_CLK および $\overline{ext_CLK}$ に応じて発生される外部クロック信号に対して2倍の周波数を有する内部クロック信号を用いている。あるいは、相補な外部クロック信号の各々が、基準電位 V_{ref} のレベルとそれぞれ交差する時点において、2相クロックとして内部クロック信号を発生させて用いることも可能である。この場合は、内部回路は、内部クロック信号の立上がりエッジのみに同期して動作することになる。

【0111】一方、SDR-SDRAMでは、外部から与えられる単相の外部クロック信号 ext_CLK を用いる。

【0112】したがって、DDR-SDRAMの動作モードからSDR-SDRAMの動作モードに変更する場合には、外部から与えられるクロック信号を相補クロック信号 ext_CLK および $\overline{ext_CLK}$ として用いるか、単相クロック信号 ext_CLK として用いるかの構成を切換えることで、この動作モードの変更が可能となる。

【0113】データマスクに関しては、DDR-SDRAM動作モードにおいては、ライト動作時にしかデータマスクモードを使用しない。このため、ライト動作時には、通常のデータと同様に外部から与えられるQSCロックでのタイミングでデータの取込が行なわれる。

【0114】一方、SDR-SDRAMでは、ライト時には、通常のデータと同様に外部クロックの立上がりエッジにて書込データの取込が行なわれる。リード

時においても、通常のデータと同様に外部クロックの立上がりエッジにおいてデータの出力が行なわれる。

【0115】したがって、DDR-SDRAMの動作モードからSDR-SDRAMの動作モードに変更する場合には、ライト動作時には、取込動作を行なうためのクロックの切換を行なうことが必要となり、リード動作においては、SDR-SDRAMモードにおいてのみデータマスク動作に対応できる回路構成となっていればよい。

【0116】さらに、バースト長の制御においては、DDR-SDRAMの動作モードにおいては、一度に1つのデータ入出力端子当り2ビットのデータを同時に制御するので、バースト長2が最小の単位となる。したがって、バースト長2、4、8は、内部回路の動作としては、内部クロック信号に対する1、2、4のバースト長で動作しているのと同様である。

【0117】一方、SDR-SDRAM動作モードにおいては、バースト長は1、2、4、8が用いられる。

【0118】したがって、DDR-SDRAM動作モードから、SDR-SDRAM動作モードに変更する場合には、バーストアドレスカウンタ60が、最大バースト長8に対応して動作することが可能であればよい。

【0119】CASレイテンシに関しては、DDR-SDRAMモードにおいては、それぞれ1.5/2/2.5のいずれかの値となり、このことは、外部クロック信号 ext_CLK の2倍の周波数を有する内部クロック信号 int_CLK において、クロックサイクル3-4-5のポイントをそれぞれ検出することが可能な構成となっていればよい。このためには、外部クロック信号 ext_CLK に対する2倍周波数の内部クロック信号 int_CLK を2相のクロックに変換した後、それぞれ1.5/2/2.5サイクルのポイントを定めればよいことになる。

【0120】一方、SDR-SDRAM動作モードにおいては、CASレイテンシが2/3のいずれかの値である。この場合、データの出力開始のポイントのトリガは、CASレイテンシが1/2クロックサイクルとなった時点であるため、外部クロック信号に対して、クロックサイクル1/2のポイントを検出することが可能な回路構成となっていればよい。

【0121】したがって、DDR-SDRAM動作モードから、SDR-SDRAM動作モードに変更する場合には、それぞれの動作モードにおける基準クロック信号の1.5サイクル時点をレイテンシシフトレジスタを用いて検出することおよび基準クロック信号の切換を行なうことが可能な構成となっていればよい。

【0122】次に、信号CKEに関しては、DDR-SDRAM動作モードにおいてはクロックサスペンドモードがないだけで、それ以外はSDR-SDRAM動作モードと同様である。このため、DDR-SDRAMモー

ドからSDR-SDRAM動作モードに変更する場合には、単に、クロックサスペンド機能を追加することが可能な回路構成となっていればよい。

【0123】さらに、モードレジスタの設定に関しては、たとえば、SDR-SDRAM動作モードにおいては、バースト長BL、CASレイテンシCLおよびバーストタイプBT（インタリーブ方式かシーケンシャル方式かを指定するデータ）がモードレジスタに設定される構成であり、DDR-SDRAM動作モードにおいては、これらに加えて、後に説明するような内部クロック信号int. CLK2を生成する際の同期動作のモードとして、DLL動作モードとするかPLL動作モードとするか等のデータを設定できる構成となっていればよい。

【0124】リードターミネーションおよびライトターミネーションについても、両方で異なる制御部分のみを追加することが可能な構成となっていればよいことになる。

【0125】この他DDR-SDRAM動作モードと、SDR-SDRAM動作モードとの相違としては、同期クロック発生回路（クロックリカバリ回路）が必要である。さらに、DDR-SDRAM動作モードにおいては、データ入出力回路86において、シリアル・パラレル変換およびパラレル・シリアル変換を行なうことが必要となり、さらに、データの読出および書込が2ビット並列に行なわれるため、メモリアレイブロックとの間のデータの伝達を行なうグローバルデータバスG-I/Oのバス幅が2倍必要となる。

【0126】つまり、DDR-SDRAM動作モードおよびSDR-SDRAM動作モードのいずれをも可能とするためには、予めグローバルI/OデータバスG-I/Oのバス幅としては、DDR-SDRAM動作モード時に必要なデータバス幅の2倍のデータバスを設ける構成としておけばよい。

【0127】図5は、図4において説明したDDR-SDRAM動作モードとSDR-SDRAM動作モードとの改良変更部をより詳細に説明するための図である。

【0128】SDR-SDRAM動作モードにおいては、アドレス制御は、完全なランダムアクセスであり、バースト長が最大8であることに対応して、3ビットの完全ビットバーストカウンタが必要となる。さらに、バースト動作モードとしてはシーケンシャルおよびインタリーブモードが必要となる。

【0129】これに対して、DDR-SDRAM動作モードにおいては、2ビットのペアビットごとのランダムアクセスが行なわれ、偶数アドレス用および奇数アドレス用に対応して2ビットバーストカウンタが2個必要となる。さらに、シーケンシャルモード用には、アドレス遷移回路が付加されることが必要となる。

【0130】ライトコントロールに関しては、DDR-

SDRAM動作モードの場合、ライト時にはシリアルなデータが外部クロックより少し遅れて入力されるため、一旦データをラッチした状態で、内部動作を開始できるタイミングを待たなければならない。このためには、外部クロックに対して、2クロック分シフトされたクロックで、ライト動作を開始できればシリアルに入力された2ビットをパラレルに選択されたメモリセルに対して書込むことが可能となる。入力されるデータマスクに対しても同様の処理が行なわれる。

【0131】したがって、DDR-SDRAM動作モードからSDR-SDRAM動作モードに変更する場合には、入力データのシリアル・パラレル変換および出力データのパラレル・シリアル変換部は不要となる。

【0132】図6は、それぞれのバースト長において、開始アドレス（A2、A1、A0）の値に応じて、バーストアドレスカウンタ60から出力される内部列アドレスの変化の様子をシーケンシャルモードおよびインタリーブモードのそれぞれについて示す図である。

【0133】図6より明らかなように、シーケンシャルモードにおいては、与えられた開始アドレス（A2、A1、A0）から、順次1ずつインクリメントした内部列アドレスがバーストアドレスカウンタ1060から出力されるのに対し、インタリーブモードにおいては、バーストアドレスカウンタ1060からは、開始アドレス（A2、A1、A0）において、直前の内部列アドレスに対して、次に出力される内部列アドレスとが、いずれかの桁において1ビットのみその値が異なるように変化する。

【0134】このように、インタリーブモード動作においては、順次変化するアドレス信号がその直前の値と1ビットのデータが異なるのみであるため、より高速動作に適している。

【0135】[ユニディレクショナルモードとバイディレクショナルモード] 図7は、ユニディレクショナルモードにおけるシステムの構成を示す概略ブロック図である。

【0136】ユニディレクショナルモードにおいては、コントローラ3000に対して、クロック信号生成回路3002からクロック信号が与えられ、このコントローラを経由してクロック信号ext. CLKおよび/ex t. CLKがSDRAM1000に伝達される。

【0137】その他、アドレス信号や制御信号およびチップセレクト信号/CS、データマスク信号DM等が、コントローラ3000からSDRAM1000に対して与えられる。

【0138】ただし、クロック信号ext. CLKおよび/ex t. CLKがコントローラ3000からSDRAM1000に対して与えられる構成となっているので、データの書込は、この外部クロック信号ext. CLKに同期して行なわれる。これに対して、SDRAM

1000からのデータの読出は、SDRAM1000からデータ出力のタイミングを示す信号QSGが、出力データDQと同期して出力され、コントローラ3000は、この信号QSGに同期して、読出データDQの取込を行なう構成となっている。

【0139】図8は、バイディレクショナルモードのシステムの構成を示す概略ブロック図である。

【0140】図7に示したユニディレクショナルモードとの相違は、コントローラ3000およびSDRAM1000のそれぞれに対して、クロック生成回路3002から同期動作の基準となる外部クロック信号ext. CLK、/ext. CLKが与えられる構成となっていることである。

【0141】この場合、コントローラ3000からSDRAM1000に対してデータを書込む際にも、書込データDQと同期して、双方向のタイミング信号DQSがSDRAM1000に対して与えられる。

【0142】一方、SDRAM1000からのデータの読出動作においても、SDRAM1000からコントローラ3000に対して、読出データDQに同期してデータ出力のタイミングを示す信号DQSが与えられる。

【0143】このような構成とすることで、コントローラ3000に対して与えられる外部クロック信号ext. CLKの位相とSDRAM1000に対して与えられる外部クロック信号ext. CLKの位相に差が存在する場合においても、コントローラ3000の側でもSDRAM1000の側でも、授受されるデータに同期した信号DQSによりデータの取込動作を制御することが可能となる。

【0144】[DDR-SDRAM動作モードとSDR-SDRAM動作モードでの内部クロック信号の切替の構成] 図9は、図1に示した内部クロック生成回路1008の構成をより詳細に説明するための概略ブロック図である。

【0145】すなわち、内部クロック生成回路1008は、モードレジスタ1046に与えられた動作モードデータに応じて、DDR-SDRAM動作モードで動作する場合と、SDR-SDRAM動作モードで動作する場合とで、出力する内部クロック信号int. CLK1および内部クロック信号int. CLK2の周波数および外部クロック信号ext. CLKに対する同期動作を切替えて出力する。

【0146】以下では、その構成およびその動作について説明する。内部制御クロック生成回路1008は、基準電位Vrefと反転外部クロック信号/ext. CLKとを受けて、動作モードデータに応じて制御されるスイッチング回路180と、基準電位Vrefとスイッチング回路180との出力を受けて、動作モードデータに応じて制御されるスイッチング回路182と、基準電位Vrefとスイッチング回路180の出力とを受けて、

動作モードデータに応じて制御されるスイッチング回路184と、+入力ノードに外部クロック信号ext. CLKを受け、-入力ノードにスイッチング回路182の出力を受ける差動増幅器150と、+入力ノードにスイッチング回路184からの出力を受け、-入力ノードに外部クロック信号ext. CLKを受ける差動増幅器152と、差動増幅器150の出力を受けて、モードレジスタ1046に保持されたデータに応じて、DLL動作モードあるいはPLL動作モードを切替えて同期信号を生成する同期回路156と、差動増幅回路150の出力および同期回路156の出力を受けて、動作モードデータにより制御されるスイッチング回路186と、スイッチング回路186の出力を受けて、バッファリング処理して内部クロック信号int. CLK2を出力するクロックドライバ154とを含む。

【0147】クロックドライバ154から出力される内部クロック信号int. CLK2は、SDRAM1000の内部回路、たとえばメモリアレイブロック（バンク）に対する行および列の選択動作や、メモリアレイブロック（バンク）からのI/Oポート1106~1126のデータの読出動作とを制御する内部クロック信号である。

【0148】内部制御クロック生成回路1008は、さらに、同期回路156からの出力を受けてn倍に分周する分周回路158と、同期回路156の出力と分周回路158との出力とを受けて、動作モードデータに応じて制御されるスイッチング回路188と、スイッチング回路188の出力およびクロックドライバ回路154の出力とを受けて、動作モードデータに応じて制御されるスイッチング回路190とを含む。

【0149】内部制御クロック生成回路1008は、さらに、差動増幅器150の出力を受けて、その活性化のエッジに应答してワンショットパルス信号を出力するワンショットパルス生成回路160と、差動増幅器152の出力を受けて、その活性化のエッジに应答してワンショットパルスを生成するワンショットパルス生成回路162と、ワンショットパルス生成回路160および162の出力を受けるOR回路164と、OR回路164の出力を受けてこれに同期する信号を生成するシンクロナスミラーリレー回路166と、シンクロナスミラーリレー回路166の出力と、ORゲート164との出力を受けて、動作モードデータに応じて制御されるスイッチング回路192とを含む。

【0150】なお、図9においては、アドレス信号入力端子1030のうち、アドレス信号A0を受けるアドレス信号入力端子、制御信号入力端子1010のうちチップセレクト信号/CSを受ける外部制御信号入力端子、データ入出力端子1070のうちデータDQ0を授受するデータ入出力端子をそれぞれの代表として示している。

【0151】スイッチング回路190からの出力は、アドレス信号入力端子群および外部制御信号入力端子群に対して、クロック信号を位相を揃えて供給するためのクロックツリー168を経由して、アドレス入力バッファ32および外部制御信号バッファ14とに与えられる。

【0152】スイッチング回路192の出力は、データ入出力端子群に含まれるデータ入出力端子のそれぞれに対して内部クロック信号の位相を揃えて供給するためのクロックツリー170を介して、スイッチング回路194および196に与えられる。

【0153】クロックツリー170からの出力は、出力制御回路172により制御され、信号QS入出力端子に対して、クロック信号QSを出力する出力バッファ1069aに与えられる。一方、クロック信号QS入力端子からの信号は、入力バッファ1069bを介して、スイッチング回路194に与えられる。

【0154】スイッチング回路194の出力は、データ入出力端子群1070に含まれるデータ入出力端子のそれぞれに対して、スイッチング回路194から出力されるクロック信号を位相を揃えて供給するためのクロックツリー176を介して、データ取込制御回路174に与えられる。データ取込回路174に制御されて、データ入出力端子1070に与えられた書込データを入力バッファ1072aが受ける。

【0155】一方、クロックツリー170およびクロックツリー168の出力を受け、動作モードデータにより制御されるスイッチング回路196からの出力に応じて、データ入出力端子に対するデータ出力バッファ1072bは、読出データの出力を行なう。出力バッファ1072bの動作はデータ出力制御回路178により制御されている。

【0156】次に、図9を参照して、DDR-SDRAM動作モードにおけるスイッチング回路180～196の動作についてより詳しく説明する。

【0157】なお、図9においては、DDR-SDRAM動作モードであって、シンクロナスミラーディレー回路（SMD回路）が使用され、同期回路156は非使用であって、入力クロック信号は相補なクロック信号が用いられ、データ入出力動作のモードとしてはバイディレクショナルモードが設定されている場合の活性な信号の伝達経路を太線で、非活性な信号の伝達経路を細線で表わしている。

【0158】すなわち、スイッチング回路180は、反転クロック信号 $\overline{\text{ext. CLK}}$ を受け、スイッチング回路182および184に対して出力する側に設定されている。スイッチング回路182は、スイッチング回路180の出力を受けて、差動増幅器150の－入力ノードに与える側に設定されている。スイッチング回路184は、スイッチング回路180の出力を受けて、差動増幅器152の＋入力ノードに与える側に設定されてい

る。

【0159】スイッチング回路186は、差動増幅器150の出力を受けて、クロックドライバ154に与える側に設定されている。スイッチング回路188は同期回路156の出力を受けてスイッチング回路190に与える側に設定されている。スイッチング回路190は、クロックドライバ154の出力を受けてクロックツリー168に与える側に設定されている。スイッチング回路192は、シンクロナスミラーリレー回路166の出力を受けて、クロックツリー170に与える側に設定されている。

【0160】スイッチング回路194は、QS信号入力バッファ1069bの出力を受けて、クロックツリー176に与える側に設定されている。スイッチング回路196は、クロックツリー170からの出力を受けて、データ出力バッファ74に与える側に設定されている。

【0161】以上のようなスイッチング回路182～196の設定により、以下のようなDDR-SDRAM動作モードが設定される。

【0162】すなわち、この動作モードにおいては、データ出力用の同期クロック信号は、シンクロナスミラーリレー回路で発生されたものが用いられる。このシンクロナスミラーリレー回路166からのクロック信号を用いることで、SDRAM1000が高周波で動作しており、かつクロックの入力バッファからデータ入出力端子1070に対する出力制御に対して、クロックはこのスキューが問題になるような場合、そして、コントローラ側が外部クロックと同じタイミングでデータを取込みたい場合に、適応したデータ入出力動作が可能となる。

【0163】一方、たとえば、DLL回路として動作している同期回路156からの出力信号は入力データ制御には用いられていない。

【0164】この場合、入力される外部クロック信号は相補な信号の ext. CLK および $\overline{\text{ext. CLK}}$ となっている。

【0165】さらに、データ出力時には、QS信号出力端子から信号QSが出力され、データ読込時には、コントローラ側から与えられる信号QSに応じてデータの取込が行なわれる、バイディレクショナルモードに対応する構成となっている。

【0166】一方、内部回路の動作を制御する内部クロック信号 int. CLK 2は、差動増幅器150からの出力に応じて、クロックドライバ154により生成される。このクロックドライバ154から出力される内部クロック信号 int. CLK 2がクロックツリー168を介してアドレス信号入力端子群1030および外部制御信号入力端子群1010に対して伝達され、これらの信号の入力タイミングの制御に用いられる。

【0167】さらに、ワンショットパルス生成回路160および162は、差動増幅器150および152から

の出力信号の活性化のエッジに対応してワンショットパルスを発生し、OR回路164からは外部クロック信号ext. CLKの2倍の周波数の信号が出力される。このOR回路164からの出力信号に応じて、シンクロナスマラーリレー回路166が外部クロック信号ext. CLKの2倍の周波数を有する内部クロック信号int. CLK1を生成する。

【0168】この内部クロック信号int. CLK1は、クロックツリー170を介して、データ出力バッファ1072bおよびQS信号出力バッファ1069aに対して与えられる。

【0169】なお、以上の説明では、第1の内部クロック信号int. CLK1は、外部クロック信号ext. CLKの2倍の周波数を有するものとしたが、本発明はこのような場合に限定されることなく、より一般に、第1の内部クロック信号int. CLK1は、外部クロック信号ext. CLKのN倍の周波数を有する構成としても良い。

【0170】図10は、差動増幅回路150および152とワンショットパルス生成回路160および162ならびにORゲート164、シンクロナスマラーリレー回路166の動作を説明するためのタイミングチャートである。

【0171】時刻t1において、外部クロック信号ext. CLKが活性状態（“H”レベル）に立上がり、信号/ex t. CLKが不活性レベル（“L”レベル）に立下がるのに応じて、差動増幅器152の出力レベルは“H”レベルに、差動増幅器150の出力レベルは“L”レベルへと変化する。この差動増幅器152の出力レベルが“H”レベルに立上がるのに応じて、ワンショットパルス発生回路162からワンショットパルスが出力され、これを受けたORゲート164からは、対応するワンショットパルス信号が出力される。

【0172】時刻t2において、信号/ex t. CLKが“L”レベルに立下がり、信号/ex t. CLKが“H”レベルに立上がるのに応じて、差動増幅器150の出力レベルが“H”レベルとなる。これに応じて、ワンショットパルス発生回路160からワンショットパルスが出力され、ORゲート164から対応するワンショットパルス信号が出力される。

【0173】以下は、同様にして、外部クロック信号ext. CLKの立上がりのエッジおよび反転外部クロック信号/ex t. CLKの立上がりのエッジのそれぞれに応答して、ORゲート164からはワンショットパルス信号が出力される。

【0174】ORゲート164からの出力を受けるシンクロナスマラーリレー回路166からは、ORゲート164から最初のワンショットパルスが出力された後の2サイクル目、すなわち、時刻t3において、外部クロック信号ext. CLKに同期し、かつ外部クロック信号

ext. CLKの2倍の周波数を有する内部クロック信号int. CLKが出力され始める。

【0175】図11は、シンクロナスマラーリレー回路166の構成を示す概略ブロック図であり、図12は、シンクロナスマラーリレー回路166の動作を説明するためのタイミングチャートである。

【0176】シンクロナスマラーリレー回路166については、文献IEEE Journal OF SOLID-STATE CIRCUITS, Vol. 31, No. 11, November 1996, pp. 1656-1665 (T. Saeki, et. al.) に詳しく説明されているので、以下ではその構成および動作の概略のみを説明する。

【0177】まず、図11を参照して、シンクロナスマラーリレー回路は、入力信号を受ける入力バッファ1662と、入力バッファ1662の出力を受ける遅延モニタ回路1664と、遅延モニタ回路の出力を受ける順方向遅延アレイ1666と、順方向遅延アレイ1666中の遅延回路のアレイのうちから選択した遅延回路からの出力を受けて、逆方向遅延回路アレイ1670に伝達するミラー制御回路1668と、遅延バッファ1672とを含む。

【0178】次に、図12を参照して、入力バッファ1662に与えられたn番目のクロック信号は、遅延モニタ回路1664を経由して、順方向遅延回路アレイ1666に与えられる。n番目のクロック信号が順方向遅延アレイを伝達している期間中に、入力バッファ1662からは、(n+1)番目のクロック信号が出力される。

【0179】これに応じて、ミラー制御回路1668は、n番目のクロック信号が到達している順方向遅延アレイ中の遅延回路を対応する逆方向遅延回路アレイ1670中の遅延回路に伝達する。すなわち、この順方向遅延アレイ中の選択された位置において、n番目のクロック信号は反射されて、逆方向遅延回路アレイを伝達していくことになる。

【0180】遅延回路1672を出力した信号は、ちょうど(n+2)番目の入力クロック信号と同期するように調整される。

【0181】すなわち、シンクロナスマラーリレー回路166においては、クロック信号の入力開始後その2クロック目において、入力クロック信号に同期した内部クロック信号int. CLK1を出力し始めることが可能である。

【0182】したがって、シンクロナスマラーリレー回路166は、特に同期動作が開始から同期信号が生成されるまでの時間が短時間で済むため、データ入出力回路の制御に適している。

【0183】図13は、図1に示したデータ入出力回路1086中のシリアルパラレル変換器の構成を示す概略ブロック図である。

【0184】シリアルパラレル変換器900は、入力されたデータを、モードレジスタ46中に保持された動作モードデータ(DDR-SDRAMとして動作するかSDR-SDRAMとして動作するかを指定するデータ)に応じて、第1の出力ノードまたは第2の出力ノードに切換えて出力する切換回路902と、SDR-SDRAM動作モードにおいて、切換回路902からの出力をソースに受け、ゲート電位が第2の内部クロック信号int. CLK2を受けるインバータ912aの出力により制御されるnチャネルMOSトランジスタ912bと、nチャネルMOSトランジスタ912bのドレインからの信号を入力に受けるラッチ回路912cと、ラッチ回路912cの出力を受けるインバータ912iと、インバータ912iの出力をソースに受け、ゲート電位が第2の内部クロック信号int. CLK2により制御されるnチャネルMOSトランジスタ912dとを含む。

【0185】nチャネルMOSトランジスタ912dからは、したがって、切換回路902からのデータが一旦ラッチされた後、1クロック後に出力されることになる。

【0186】シリアルパラレル変換器900は、さらに、DDR-SDRAM動作モードにおいて、切換回路902からの出力をソースに受け、ゲート電位が第2の内部クロック信号int. CLK2を受けるインバータ914aの出力により制御されるnチャネルMOSトランジスタ914bと、nチャネルMOSトランジスタ914bのドレインからの信号を受けるラッチ回路914cと、ラッチ回路914cの出力をソースに受け、内部クロック信号int. CLK2によりゲート電位が制御されるnチャネルMOSトランジスタ914dと、nチャネルMOSトランジスタ914dのドレインからの信号を受けて保持するラッチ回路914eと、切換回路902からの出力をソースに受け、ゲート電位が内部クロック信号int. CLK2により制御されるnチャネルMOSトランジスタ914fと、nチャネルMOSトランジスタ914fのドレインからの信号を受けて保持するラッチ回路914gと、ラッチ回路914gの出力をソースに受け、ゲート電位がインバータ914aの出力により制御されるnチャネルMOSトランジスタ914hと、nチャネルMOSトランジスタ914hのドレインからの出力を受けて保持するラッチ回路914iとを含む。

【0187】したがって、DDR-SDRAM動作モードにおいては、切換回路902から出力されたデータは、ラッチ回路914eおよび914iから、パラレルなデータint. Data(0)およびint. Data(1)として出力される。

【0188】図14は、データ入出力回路1086に含まれるパラレルシリアル変換回路950の構成を示す概略ブロック図である。

【0189】パラレルシリアル変換器950は、SDR-SDRAM動作モードにおいて、内部データint. Dataをソースに受け、ゲート電位が内部クロック信号int. CLK2を受けるインバータ952aの出力により制御されるnチャネルMOSトランジスタ952bと、nチャネルMOSトランジスタ915bのドレインからの信号を入力に受けるラッチ回路952cと、ラッチ回路952cの出力を受けるインバータ952iと、インバータ952iの出力をソースに受け、ゲート電位が内部クロック信号int. CLK2により制御されるnチャネルMOSトランジスタ952dとを含む。

【0190】nチャネルMOSトランジスタ952dからの出力データは、SDR-SDRAM動作モードにおいて、切換回路952に与えられて一旦ラッチされた後、1クロック後に出力されることになる。

【0191】シリアルパラレル変換器950は、さらに、DDR-SDRAM動作モードにおいて、内部データint. Data(0)をソースに受け、ゲート電位が内部クロック信号int. CLK2を受けるインバータ954aの出力により制御されるnチャネルMOSトランジスタ954bと、nチャネルMOSトランジスタ954bのドレインからの信号を受けるラッチ回路954cと、ラッチ回路954cの出力をソースに受け、内部クロック信号int. CLK2によりゲート電位が制御されるnチャネルMOSトランジスタ954dと、nチャネルMOSトランジスタ954dのドレインからの信号を受けて保持するラッチ回路954eと、内部データint. Data(1)をソースに受け、ゲート電位が内部クロック信号int. CLK2により制御されるnチャネルMOSトランジスタ954fと、nチャネルMOSトランジスタ954fのドレインからの信号を受けて保持するラッチ回路954gと、ラッチ回路954gの出力をソースに受け、ゲート電位がインバータ954aの出力により制御されるnチャネルMOSトランジスタ954hと、nチャネルMOSトランジスタ954hのドレインからの出力を受けて保持するラッチ回路954iとを含む。

【0192】ラッチ回路954eおよび954iからのデータが切換回路952に与えられる。

【0193】切換回路952は、入力されたデータを、モードレジスタ1046中に保持された動作モードデータに応じて、選択的に出力する。

【0194】したがって、DDR-SDRAM動作モードにおいては、パラレルなデータint. Data(0)およびint. Data(1)は、切換回路952からシリアルなデータとして出力される。

【0195】以上のような構成により、SDR-SDRAM動作モードにおけるデータの入出力およびDDR-SDRAM動作モードにおけるデータの入出力動作において、データのラッチ動作あるいはパラレルシリアル変

換またはシリアルパラレル変換が行なわれることになる。

【0196】図15は、図9に示した内部制御クロック生成回路1008の構成において、DDR-SDRAM動作モードにおいて、アドレス信号の取込および外部制御信号の取込に対して内部同期回路156から出力されるクロック信号が用いられる場合のスイッチング回路180～196の状態を説明するための概略ブロック図である。

【0197】すなわち、図15に示した状態においては、SDRAM1000の動作モードは、DDR-SDRAM動作モードであって、データ出力には、シンクロナスマラーディレイ回路166から出力される内部クロック信号int. CLK1が使用され、アドレス信号の入力および外部制御信号の入力には、同期回路156から出力される信号が用いられ、内部回路の動作にはクロックドライバ154から出力される信号が用いられる構成となっている。

【0198】さらに、バイディレクショナルモードの動作を可能とするように、シンクロナスマラーディレイ回路166からの出力は、QS信号入出力端子にも与えられる構成となっている。

【0199】このような構成とすることで、DDR-SDRAM動作モードにおいては、より高い動作周波数において、アドレス信号や外部制御信号の取込動作における外部クロック信号のスキューの影響を抑制することが可能である。

【0200】図16は、内部制御クロック生成回路1008の他の動作モードにおけるスイッチング回路180～196の動作を説明するための概略ブロック図である。

【0201】図16に示した動作モードにおいては、内部回路の制御に要する時間を節約するために、内部回路を外部クロック周波数のN倍の周波数で動作させる内部高速モードで動作する構成である。

【0202】すなわち、図16に示した構成においては、同期回路156は、差動増幅器156からの出力を受けて、N倍の周波数のクロック信号int. CLK2を生成し、この信号がクロックドライバ154を介して、内部回路に与えられる構成となっている。

【0203】一方、スイッチング回路188は、同期回路156からの出力を1/Nに分周する分周回路158からの出力を受ける側に設定され、スイッチング回路190は、このスイッチング回路188からの出力を受ける側に設定されている。

【0204】したがって、クロックツリー168を介してアドレス信号入力端子や外部制御信号入力端子に対して与えられる内部クロック信号は外部クロック信号と同一の周波数を有する。

【0205】図17は、図1に示したSDRAM100

0がSDR-SDRAM動作モードで動作する場合の内部制御クロック生成回路1008のスイッチング回路180～196の状態を説明するための概略ブロック図である。

【0206】図17においても、このSDR-SDRAM動作モードにおいて活性な信号を伝達する系統は太線で示されている。

【0207】スイッチング回路180、182および184は、基準電位Vrefを受ける側に設定されている。差動増幅器150は、基準電位および外部クロック信号ext. CLKを受けて、この外部クロック信号ext. CLKと同一の周波数の信号を出力する。スイッチング回路186は、差動増幅器150からの出力を受ける側に設定されているので、クロックドライバ154は、この差動増幅器150からの出力を受けて外部クロック信号ext. CLKと同一の周波数の内部クロック信号int. CLK2を出力する。

【0208】さらに、スイッチング回路190は、クロックドライバ154の出力を受ける側に設定されているので、クロックドライバ154から出力される信号int. CLK2が、クロックツリー168を介して、アドレス信号入力端子群および外部制御信号入力端子群に与えられる。

【0209】さらにスイッチング回路194および196も、クロックツリー168からの出力を受ける側に設定されているので、データの入出力動作も、この外部クロック信号ext. CLKと同一の周波数の内部クロック信号により制御されることになる。

【0210】この場合、スイッチング回路194は信号QSを受ける側には設定されていないので、バイディレクショナルモードには対応しない構成となっている。

【0211】以上説明したとおり、内部制御クロック生成回路1008の動作モードをモードレジスタ1046に保持された動作モードデータに応じて切換えることで、SDRAM1000が搭載されるシステムの仕様に柔軟に対応した動作モードを選択することが可能となる。

【0212】〔実施の形態2〕図18は、本発明の実施の形態2の同期型半導体記憶装置2000の構成を示す概略ブロック図である。

【0213】図18を参照して、同期型半導体記憶装置2000は、外部制御信号入力端子群10を介して与えられる外部制御信号/RAS、/CAS、/W、/CS等を受けて、これをデコードし、内部制御信号を発生するコントロール回路20と、コントロール回路20から出力される内部制御信号を伝達するコマンドデータバス53aおよび53bと、メモリセルが行列状に配列されるメモリセルアレイ100とを備える。

【0214】メモリセルアレイ100は、図18に示すとおり、全部で16個のメモリセルブロック100a～

100bに分割配置されている。たとえば、同期型半導体記憶装置1000の記憶容量が1Gビットである場合、各メモリセルブロックは64Mビットの容量を有する。各ブロックは、独立にバンクとして動作し得る構成となっている。

【0215】同期型半導体記憶装置2000は、さらに、クロック信号入力端子16aおよび16bに与えられる互いに相補な外部クロック信号ext. CLK、外部クロック信号/ex t. CLKを受け、コントロール回路20により制御されて同期動作を開始し、内部クロック信号int. CLK1および内部クロック信号int. CLK2を出力する内部制御クロック生成回路1008を含む。

【0216】内部制御クロック生成回路1008は、実施の形態1の内部制御クロック生成回路1008と同様の構成を有する。

【0217】アドレス信号入力端子群12を介して与えられる外部アドレス信号A0~Ai (i:自然数)は、コントロール回路20の制御の下に、第2内部クロック信号int. CLK2に同期して、同期型半導体記憶装置2000内に取込まれる。

【0218】外部アドレス信号A0~Aiのうち、所定数のビット数のデータは、アドレスバス51aを介して、バンクデコーダ22に与えられる。バンクデコーダ22からは、アドレスバス51bおよび51cを介して、デコードされたバンクアドレスB0~B7が、各バンクに伝達される。

【0219】一方、アドレス信号入力端子群12に与えられるその他の外部アドレス信号は、アドレスバス50aおよび50bを介して、アドレスドライバ52に伝達される。アドレスドライバ52からさらに、アドレスバス50cを介して、アドレス信号は各バンク(メモリセルブロック)に伝達される。

【0220】同期型半導体記憶装置1000は、さらに、メモリセルブロックの対ごとに設けられ、コントロール回路20の制御の下に、アドレスバス50cにより伝達されたロウアドレスをラッチし、プリデコードするロウプリデコーダ36と、ロウプリデコーダ36からの出力をもとに選択されたメモリセルブロックの対応する行(ワード線)を選択するロウデコーダ44と、メモリセルブロックごとに設けられ、コントロール回路20の制御の下に、アドレスバス50cにより伝達された列アドレスをラッチし、プリデコードするコラムプリデコーダ34と、プリデコーダ34からの出力を伝達するコラムプリデコーダ線40と、コラムプリデコーダ線40からの出力をもとに選択されたメモリセルブロックの対応する列(ビット線対)を選択するコラムデコーダ42とを含む。

【0221】同期型半導体記憶装置2000は、さらに、チップ中央部の長辺方向に沿う領域であって、外部

制御信号入力端子群10およびアドレス信号入力端子群12が設けられる領域の外側に、それぞれ配置されるデータ入力端子DQ0~DQ15およびDQ16~DQ31と、データ入出力端子DQ0~DQ31にそれぞれ対応して設けられる入出力バッファ回路14a~14fと、入出力バッファと対応するメモリセルブロックとの間でデータの伝達を行なうデータバス54と、メモリセルブロック100a~100bにそれぞれ対応して設けられ、データバス54と選択されたメモリセル列との間でデータの授受を行なうリード/ライトアンプ38とを含む。

【0222】入出力バッファ回路14a~14fは、実施の形態1のデータ入出力バッファと同様の構成を有し、図示しない実施の形態1と同様の構成のデータ入出力回路1086を介して、メモリセル100との間でデータの授受を行う。

【0223】外部制御信号入力端子群10へ与えられる信号/RASは、同期型半導体記憶装置1000の内部動作を開始させ、かつ内部動作の活性期間を決定するロウアドレスストロブ信号である。この信号/RASの活性化に応じて、ロウデコーダ44等のメモリセルアレイ100の行を選択する動作と関連する回路は活性状態とされる。

【0224】外部制御信号入力端子群10へ与えられる信号/CASは、コラムアドレスストロブ信号であり、メモリセルアレイ100における列を選択する回路を活性状態とする。

【0225】外部制御信号入力端子群10へ与えられる信号/CASは、この同期型半導体記憶装置1000が選択されることを示すチップセレクト信号であり、信号/Wは、同期型半導体記憶装置1000の書込動作を指示する信号である。

【0226】信号/CS、信号/RAS、信号/CASおよび信号/Wの取込動作は、内部クロック信号int. CLK2に同期して行なわれる。

【0227】また、アドレス信号入力端子群12に与えられるアドレス信号の取込動作は第2の内部クロック信号に同期して行われる。

【0228】データ入出力端子DQ0~DQ31を介してのデータの授受は、SDR-SDRAM動作モードであるか、DDR-SDRAM動作モードであるかに応じて、第1の内部クロック信号int. CLK1または第2の内部クロック信号int. CLK1に同期して行なわれる。さらに、実施の形態1と同様に、動作モードに応じて、データの取りこみは、外部から与えられる信号DQSに同期して行われる場合もある。

【0229】図19は、クロックツリー170および176の構成を示す概略ブロック図である。

【0230】まず、データ出力を司るクロックツリー170は、相補な外部クロック信号ext. CLKおよび

／ext. CLKを受けて、シンクロナスマラーディレ回路166により発生された、外部クロック信号ext. CLKに対して2倍の周波数を持つクロック信号int. CLK1が、シンクロナスマラーディレ回路166からの出力を受けて、ツリー状に順次2分割され、最終的に16分割した内部クロック信号を出力するクロックツリー168を介して、対応するデータ入出力端子DQ0～7およびDQ8～15に分配される構成となっている。

【0231】さらに、同一の遅延時間を有するダミー遅延回路を通してデータストロブ端子QSにも分配される。ここで、データストロブ端子QSが、データ入出力端子DQ0あるいはDQ15に近接して存在する場合、上述したようなデータ入出力端子に与えられるクロック信号とDQS信号入出力端子に与えられるクロック信号との間の位相の誤差が無視できるため、このようなダミー遅延回路の構成は省略することが可能である。このようにして分配された内部クロック信号int. CLK1によりデータの出力動作を制御することが可能である。

【0232】一方、バイディレクショナルモード等において、データ入力が行なわれる際のクロックの配分を行なうクロックツリー176の構成について以下に説明する。

【0233】クロックツリー176は、外部から受けた信号DQS0を受けて、各データ入出力端子まで遅延が同等となるように、このDQS信号入力端子QS0に近い側から分配経路上に遅延調整量の大きい素子1762から順に遅延調整量の小さい素子1764～1774を配置して、これらの遅延素子1762～1774をそれぞれ介して、対応するデータ入出力端子に対して信号DQS0を供給する。

【0234】図19に示した構成においては、信号DQS0は、バス302により、対応するデータ入出力端子DQ0～7に対して伝達される。バス302により伝達された信号DQS0は、バッファ回路304および最も遅延量の大きな遅延素子1762を介して、対応するデータ入出力端子DQ0に与えられる。

【0235】以下、データ入出力端子DQ1からDQ7の順番に、遅延量の小さな遅延素子を介して、対応するデータ入出力端子DQ1～7に信号DQS0が伝達される。

【0236】データ入出力端子DQ8～15に対しても、同様の構成により、外部から与えられた信号DQS1が分配される。

【0237】図20は、図18に示した同期型半導体記憶装置2000における、第2の内部クロック信号int. CLK2を外部制御信号入力端子群10中の入力端子に、それぞれ分配する構成を示す概念図である。

【0238】図20を参照して、クロック信号入力端子

に与えられた外部クロック信号ext. CLKおよび／ext. CLKは、バッファ回路150および152を介して、内部制御クロック生成回路1008に与えられる。

【0239】内部制御クロック生成回路1008から出力される内部クロック信号int. CLK2は、まず、バッファ回路70に与えられる。

【0240】バッファ回路70の出力は、さらに2分割されて、それぞれバッファ回路72a、72bに与えられる。

【0241】バッファ回路72aの出力は、さらに2分割されて、それぞれバッファ回路74a、74bに与えられる。

【0242】一方、バッファ回路72bの出力も、さらに2分割されて、それぞれバッファ回路74c、74dに与えられる。

【0243】バッファ回路74a、74b、74cおよび74dの出力は、さらに、それぞれ2分割された上で、それぞれ、バッファ回路76aおよび76b、バッファ回路76cおよび76d、バッファ回路76eおよび76f、バッファ回路76gおよび76hに与えられる。

【0244】すなわち、バッファ回路70の出力は、順次、2分割され最終的に8つのクロック信号に分割される。この8つのクロック信号は、それぞれ、配線78a～78hに与えられる。配線78a～78hのそれぞれの端部から供給されるクロック信号に同期して、外部制御信号入力端子群10から外部制御信号の取込が行なわれる。

【0245】配線78hの端部からのクロック信号は、レプリカバッファ回路62および遅延調整回路64を介して、内部制御クロック生成回路1008に与えられる。内部制御クロック生成回路1008は、遅延調整回路64からの出力とバッファ回路150から与えられる外部クロック信号ext. CLKの位相を同期させて、第2の内部クロック信号int. CLK2を生成する。

【0246】ここで、遅延調整回路64が存在しない場合を想定すると、バッファ回路150とレプリカバッファ回路62とは同様の構成を有するので、バッファ回路150に与えられる外部クロック信号ext. CLKと、レプリカバッファ回路62に与えられる配線78h上のクロック信号との位相が等しくなるように調整されることになる。ここで、配線78h上のクロック信号と、他の配線78a～78g上のクロック信号の位相も等しくなっている。

【0247】すなわち、外部制御信号の取込動作は、外部クロック信号ext. CLKに同期して行なわれることになる。

【0248】ここで、遅延調整回路64が設けられているのは、外部クロック信号ext. CLKの振幅レベル

やその周期に対するクロック信号の活性期間の比などが、内部クロック信号 int_CLK の対応量と異なるために、その調整を行なう必要があるためである。

【0249】さらに、図2においては、外部制御信号入力端子群10に対する内部クロック信号 int_CLK 2の分配の構成について説明したが、同様の構成が、アドレス信号入力端子群12に対応して設けられている。このような構成とすることで、アドレス信号の取込も外部クロック信号 ext_CLK に同期して行なわれることになる。

【0250】図21は、図20に示した内部同期回路156の構成をより詳細に説明するための概略ブロック図である。

【0251】同期回路156は、差動増幅器150からの出力と遅延調整回路64からの出力とを受けて、両者の位相を比較する位相比較器1562と、位相比較器1562からの出力に応じて、可変遅延回路1566の遅延量を制御する遅延制御回路1564とを含む。

【0252】ここで、可変遅延回路1566は、各々の遅延時間が遅延制御回路1564からの遅延制御信号により制御される互いに直列に接続された複数段の遅延回路を含む。

【0253】同期回路156は、さらに、同期回路156がDLL回路として動作する場合には、差動増幅器150からの出力を可変遅延回路1566に与え、同期回路156がPLL回路として動作する場合には、可変遅延回路1566に含まれる複数段の遅延回路の中間点からの出力信号を可変遅延回路1566の入力として与えるマルチプレクサ1570と、DLL回路として動作する場合には可変遅延回路1566の出力をスイッチング回路186に与え、PLL回路として動作する場合には、可変遅延回路1566に含まれる複数の遅延回路のうち中央の遅延回路からの出力をスイッチング回路186に与えるマルチプレクサ1572とを含む。

【0254】図9に示した分周回路158は、可変遅延回路1566に含まれる複数の遅延回路のうちの中央の遅延回路からの出力を受けて、所定の分周比で分周した信号を出力する。

【0255】スイッチング回路188は、分周器158の出力と可変遅延回路1566の出力とを受けて、いずれか一方を選択的に出力する。

【0256】スイッチング回路190は、クロックドライバ154からの出力と、スイッチング回路188からの出力とを受けて、いずれか一方を選択的に内部クロック信号 int_CLK 2として出力する。

【0257】スイッチング回路186は、差動増幅器150の出力とマルチプレクサ1572の出力とを受けて、いずれか一方を選択的にクロックドライバ154に与える。

【0258】すなわち、図21に示した構成では、同期

回路156は、アドレス信号と外部制御信号の取込動作に対する外部クロック信号 int_CLK 2を供給する構成となっている。

【0259】また、内部高速モードにおいては、この内部同期回路はDLL動作モードからPLL動作モードに変化するため、以下ではこの同期回路のことをDPLL回路と呼ぶことにする。

【0260】そして、内部高速モード時に外部から入力されるクロックの周波数を整数倍する際の倍率は、特に限定されないが4倍であるものとする。

【0261】外部クロック信号としては、ここでは相補なクロック信号 ext_CLK 、 $/ext_CLK$ であるものとする。

【0262】また、アドレス信号と外部制御信号の取込動作は、内部クロック信号 int_CLK 2の立上がりエッジにおいて行なわれるものとする。

【0263】なお、同期回路156が、DLL回路として動作するモードにおいて、その出力信号である int_CLK 2をデータの入出力の制御に用いる構成としてもよいし、内部高速モード時に外部から入力されるクロックの周波数を整数倍する際の倍率は、8倍や16倍あるいはそれ以上とすることも可能である。

【0264】以下では、その動作について簡単に説明する。可変遅延回路1566の出力は、クロックドライバ154により内部回路に分配される。差動増幅回路（入力バッファ）を通った外部クロック信号 ext_CLK は、スイッチング回路186により選択され、クロックドライバ154で駆動力が増加されて、内部回路系に制御信号の基準信号として分配される。

【0265】また、差動増幅器150の出力は、マルチプレクサ1570により選択されて、可変遅延回路1566のトリガ信号として入力される。

【0266】通常動作においては、可変遅延回路1566の出力が、スイッチング回路188および190により優先的にクロックツリー168に与えられる。

【0267】スイッチング回路190を経てドライバ回路191で駆動力を増加したクロック信号は、クロックツリー168を介して各入出力端子DQ0～DQ31に分配される。クロックツリー168により分配された内部クロック信号 int_CLK 2の位相はいずれのデータ入出力端子に対してもほぼ同一となるように制御されている。

【0268】クロックツリー168を通過したクロック信号は、クロック信号の入力バッファのレプリカバッファである362を経て、位相比較器1562に入力される。位相比較器1562では、このレプリカバッファからの内部クロック信号 int_CLK 2と、差動増幅器150からの外部クロック信号からの位相が比較される。

【0269】次に、内部高速モード時の動作について説

明する。この場合、可変遅延回路1566は、その総遅延量の半分の遅延量を有する遅延回路の出力が、マルチプレクサ1570により選択され、外部クロック信号の代わりに可変遅延回路1566の入力に与えられる。したがって、可変遅延回路は閉ループを形成することになる。

【0270】ここでは、マルチプレクサ1570にはインバータ1段分の回路が含まれており、このインバータの存在により、可変遅延回路およびこのインバータ回路で構成されるループ内に含まれる遅延段が奇数段になるように構成される。したがって、このループはリングオシレータを構成し、自走発振を開始する。

【0271】以上の構成において、可変遅延回路1566の総遅延量の半分の部位から出力を取出すこととしたのは、リング発振器の1周期分の遅延量と可変遅延回路の遅延量とを等しくするためである。このリング発振器の出力は、分周器158を通り1/4の周波数にされた後、スイッチング回路188および190により選択され、クロックツリー168を介して、アドレス信号入力端子群および外部制御信号入力端子群に対して分配される。このアドレス信号入力端子群あるいは外部制御信号入力端子群に供給される内部クロック信号int、CLK2と外部クロック信号との周期の位相が合うように位相比較器1562および遅延制御回路1564により可変遅延回路1566の遅延量が制御される。

【0272】したがって、位相が合っている状態においては、リング発振器の出力は、外部クロック信号ext、CLKの4倍周波数となっている。

【0273】この4倍周波数の内部クロック信号int、CLK2が、マルチプレクサ1572およびスイッチング回路186により選択され、クロックドライバ154により駆動力が増加されて、内部回路系に制御信号として分配される。

【0274】以上のような構成とすることで、外部クロック信号ext、CLKの1クロック分の時間において、リード動作中においても内部回路はバースト4回分の動作を自動的に実施することになる。

【0275】すなわち、このような動作モードでは、外部クロック信号ext、CLKの周波数が高くない場合においても、内部回路自体は高速動作を行なうことが可能である。

【0276】図22は、図18に示した同期型半導体記憶装置2000の構成のうち、アドレス信号入力端子群12およびアドレスバス50a、50b、50c、51a、51bおよび51c、コマンドデータバス53aおよび53bの構成を示す概略ブロック図である。

【0277】アドレス信号入力端子群12のうち、アドレス信号入力端子群12aに与えられるアドレス信号の上位ビットのデータは、それぞれ内部クロック信号int、CLKに同期して動作する入力バッファ13a～1

3cにより、バンクアドレスバス51aに出力される。バンクアドレスバス51aからのデータを受けて、バンクデコーダ22は、デコードした信号を、バンクアドレスバス51bおよび51cを介して、それぞれのメモリセルブロック（バンク）に伝達する。

【0278】アドレス信号入力端子群12のうち、アドレス信号入力端子群12bに与えられるアドレス信号の下位のビットのデータは、それぞれ内部クロック信号int、CLKに同期して動作する入力バッファ13d～13gにより、アドレスデータバス50aおよび50bを介して、アドレスドライバ52に与えられる。アドレスドライバ52は、アドレス信号をアドレスデータバス50cを介して、各バンク（メモリセルブロック）に伝達する。

【0279】コントロール回路20は、制御信号入力端子群10に与えられたコマンドデータを受けて、デコードし、デコードしたコマンドデータをコマンドデータバス53aおよび53bを介して、各メモリセルブロック（バンク）に伝達する。

【0280】各バンクのうち、たとえばメモリセルブロック100eは、さらにメモリセルサブブロック100eaおよび100ebに分割されている。

【0281】ロウプリデコーダ36のうち、メモリセルサブブロック100eaに対してはロウプリデコーダ36aが、メモリセルサブブロック100ebに対してはロウプリデコーダ36bが対応している。ロウプリデコーダ36aは、バンクアドレスバス51cにより伝達されるバンクアドレスに応じて、バンク100eが選択されたことを検知し、かつコマンドデータバス53bにより、行系の動作が指示されていることを検知すると活性化し、アドレスバス50cからアドレスデータを、コマンドデータバス53bからコマンドデータをそれぞれ取込む。これに応じて、ロウプリデコーダ36aは、プリデコードしたアドレス信号をロウデコーダ44に出力する。

【0282】ロウプリデコーダ36b～36dについても、同様の動作をする。コラムプリデコーダ34のうち、メモリセルブロック100eaに対応して設けられるコラムプリデコーダ34aは、バンクアドレスバス51cを介して伝達されたバンクアドレスに応じて、メモリセルブロック100eが選択され、かつコマンドデータバス53bにより、列系の動作が活性化されていることを検知すると、それに応じて、アドレスバス50cから対応するアドレスデータを取込む。

【0283】コラムプリデコーダ34aは、取込んだ列アドレスデータをプリデコードし、対応するコラムプリデコーダ線40に対してプリデコードされた列アドレス信号を出力する。図23は、図22に示した構成のうち、ロウプリデコーダ36の構成を説明する概略ブロック図である。

【0284】コマンドアドレスバス53bは、ロウ系の回路動作を活性化することを指示する信号Row、コラム系の回路動作を活性化することを指示する信号C1m、内部回路の回路動作の活性化を指示する信号ACT、バンクのリセット（プリチャージ）を指示する信号PC、すべてのバンクのプリチャージを指示する信号APC、ビット線等のイコライズが解除されることや、不使用ビット線をセンスアンプより切り離す作業を行なうことを指示する信号EQ、ワード線の活性化を指示する信号RXT、センスアンプの活性化を指示する信号SE等の伝達を行なう。

【0285】バンクアドレスバス51cは、バンクデコーダ22によりデコードされたバンクアドレス信号B0～B7を伝達する。アドレスバス50cは、アドレスドライバ52からのアドレス信号の伝達を行なう。

【0286】バンクアドレス信号のうち、たとえばビットデータB7が活性状態となり、かつ信号Rowが活性状態となると、AND回路203からは活性状態の信号が出力され、これに応じてワンショットパルス発生回路204から活性なワンショットパルスが出力される。

【0287】これに応じて、ドライバ回路206が活性化され、信号ACTのレベルが取込まれて、レベル保持回路208にそのレベルが保持される。

【0288】同様にワンショットパルス発生回路204からの信号に応じて、ドライバ回路210が活性化し、信号PCのレベルを受けて、レベル保持回路212がそのレベルを保持する。一方、ドライバ回路210からの出力を受けて、ワンショットパルス発生回路214は、レベル保持回路208に対してリセット信号を出力する。インバータ220は、レベル保持回路208からの出力信号に応じて、活性化され、信号EQを受けて出力する。一方、NOR回路222は、信号APCおよびワンショットパルス発生回路214からの信号を受けて、否定論理和演算結果を出力する。フリップフロップ回路224は、インバータ220からの出力に応じてセットされ、NOR回路222からの出力に応じてリセットされる。後に説明する階層電源制御信号SCRCにより活性化されるドライバ回路226は、フリップフロップ回路224の出力を受けて、出力し、このドライバ回路226の出力レベルを、レベル保持回路228が保持する。このレベル保持回路228の出力レベルは、信号1. EQとして、対応するメモリセルブロックに対して与えられる。

【0289】同様にして、フリップフロップ回路234は、レベル保持回路208からの信号に応じて活性化され、コマンドデータバス53bを介して伝達される信号RXTのレベルを入力として受けるインバータ230の出力によりセットされ、ワンショットパルス発生回路214およびコマンドデータバス53bを介して伝達される信号APCのレベルを受けるNOR回路232の出力

によりリセットされる。

【0290】ドライバ回路236は、フリップフロップ回路234の出力を受けて、階層電源制御信号SCRCにより活性化される。ドライバ回路236の出力レベルは、レベル保持回路238により保持され、このレベル保持回路238の出力レベルが、信号1. RXTとして、対応するメモリセルブロックに出力される。

【0291】フリップフロップ回路244は、コマンドデータバス53bを介して伝達される信号SEを受けて、レベル保持回路208の出力レベルに応じて活性化されるインバータ240の出力によりセットされ、ワンショットパルス発生回路214の出力信号およびコマンドデータバス53bを介して伝達される信号APCのレベルを受けるNOR回路242の出力に応じてリセットされる。ドライバ回路246は、フリップフロップ回路244の出力を受け、階層電源制御信号SCRCにより活性化される。ドライバ回路246の出力レベルは、レベル保持回路244により保持され、このレベル保持回路244の出力レベルが信号1. SEとして、対応するメモリセルブロックに与えられる。

【0292】一方、ラッチ回路250は、階層電源制御信号SCRCの活性化に応じてリセットされ、ワンショットパルス発生回路204の活性化に応じて活性化し、アドレスデータバス50cを介して伝達されたアドレス信号を保持する。ラッチ回路250からの出力は、冗長アドレスデコーダ（図示せず）に伝達されるとともに、プリデコーダ252に与えられ、プリデコードされた結果が、階層電源制御信号SCRCに応じて活性化されるドライバ回路254に与えられる。

【0293】ドライバ回路254からの出力は、それぞれレベル保持回路256により保持され、レベル保持回路256が、それぞれ対応するロウプリデコーダ線に出力される。

【0294】図23に示したロウプリデコーダ36の構成のうち、レベル保持回路208、212、228、238および248ならびにレベル保持回路256と、対応するメモリセルブロックを含む領域201は、階層電源制御信号により制御されない領域であって、活性状態中においても、待機状態中においても、常に電源電位Vccと接地電位Vssとを電源電位として動作する領域である。

【0295】これに対して、ロウプリデコーダ36のうち領域202は、階層電源制御信号により制御されて、信号SCRCが活性状態である期間中は、電源電位Vccおよび接地電位Vssとを受けて動作し、階層電源制御信号SCRCが不活性状態（“L”レベル）である期間中は、電源電位Vccよりも低い電位および接地電位Vssよりも高い電位をそれぞれ電源電位として動作する領域である。

【0296】図24は、コラムプリデコーダ34の構成

を示す概略ブロック図である。図24を参照して、コントロール回路20からは、コマンドデータバス53bを介して、読出動作を指示するためのリード系アクセス識別信号READと、書込動作を指示するためのライト系アクセス識別信号WRITEと、オートプリチャージ動作を指示するためのオートプリチャージ識別信号ATPCと、各バンク毎にバースト動作の終了を指示するためのバースト終了識別信号BENDと、コラム選択動作中に他のバンクが選択された場合、このコラム選択動作を強制的に終了させることを指示するターミネーション識別信号TERMと、プリチャージ動作の終了を指示するためのプリチャージ動作識別信号PCCMが伝達される。

【0297】また、信号BACTは、バンクが選択されるのにもなって、レベル保持回路208に保持されるフラグ信号である。

【0298】コラムブリデコード回路34は、コマンドデータバス53bにより伝達される信号C1mと対応するバンクアドレス信号B7を受けるAND回路510と、AND回路510の出力が活性化するのに応じてワンショットパルス信号を出力するワンショットパルス生成回路512と、フラグ信号BACTの活性化に応じて活性化され、ワンショットパルス生成回路512の出力をドライブするドライブ回路514と、信号ATPC、信号BENDおよび信号TERMを受けるOR回路516と、ドライブ回路514の出力によりセットされ、OR回路516の出力によりリセットされ、コラム系の動作が活性化されたことを示すコラムフラグ信号C01.FLAGを出力するフリップフロップ回路518とを含む。

【0299】コラムブリデコード回路34は、さらに、コラムフラグ信号C01.FLAGの活性化に応じて活性化され、コマンドデータバス53bにより伝達された信号READをドライブするインバータ回路520と、信号WRITE、信号ATPC、信号BENDおよび信号TERMを受けるOR回路522と、インバータ回路520の出力によりセットされ、OR回路522の出力によりリセットされ、読出動作が活性化されたことを示すリードフラグ信号READ.FLAGを出力するフリップフロップ回路524とを含む。

【0300】コラムブリデコード回路34は、さらに、コラムフラグ信号C01.FLAGの活性化に応じて活性化され、コマンドデータバス53bにより伝達された信号WRITEをドライブするインバータ回路530と、信号READ、信号ATPC、信号BENDおよび信号TERMを受けるOR回路532と、インバータ回路530の出力によりセットされ、OR回路532の出力によりリセットされ、書込動作が活性化されたことを示すライトフラグ信号WRITE.FLAGを出力するフリップフロップ回路524とを含む。

【0301】コラムブリデコード回路34は、さらに、コラムフラグ信号C01.FLAGを受けて所定クロック時間遅延するシフト回路542と、フラグ信号BACTおよびシフト回路542の出力を受けるOR回路540と、OR回路540の出力の活性化に応じて活性化され、コマンドデータバス53bにより伝達された信号ATPCをドライブするインバータ回路544と、コマンドデータバス53bにより伝達された信号PCCMPを受けるインバータ回路546と、インバータ回路544の出力によりセットされ、インバータ回路546の出力によりリセットされ、オートプリチャージ動作が活性化されたことを示すオートプリチャージフラグ信号ATPC.FLAGを出力するフリップフロップ回路548とを含む。

【0302】コラムブリデコード回路34は、さらに、ワンショットパルス発生回路512の出力信号に応じて活性化され、アドレスバス50cにより伝達されたコラム信号を取りこむラッチ回路550を含む。ラッチ回路550は、信号SCRCの活性化に応じてリセットされる。

【0303】コラムブリデコード回路34は、さらに、ラッチ回路550に保持されたコラムアドレスの下位ビットに応じて、活性化する列選択線（図示せず）に対応するアドレス信号の下位ビットを調整する偶数ビット調整回路552および奇数ビット調整回路554と、ラッチ回路550からの上位ビットデータをブリデコードするブリデコード556と、偶数ビット調整回路552からの下位ビットデータをブリデコードするブリデコード557と、奇数ビット調整回路554からの下位ビットデータをブリデコードするブリデコード558と、信号READまたは信号WRITEにより活性化され、ブリデコード556、557および558からのブリデコード信号を所定数のクロック（たとえば、2クロック）だけ遅延して出力するシフト回路560と、冗長デコード（図示せず）からのアドレスが欠陥アドレスに相当しないことを示す信号Missに応じて活性化され、シフト回路560からの出力を受けてコラムブリデコード線のレベルをシフト回路560の出力信号に応じてドライブするドライブ回路562を含む。

【0304】以上のような構成とすることで、バンクごとに独立に活性化が行われ、かつアドレスバス、コマンドデータバスが複数のバンクに共通に設けられている場合でも、実施の形態1と同様の効果が奏される。

【0305】なお、実施の形態1および2では、DDR-SDRAMとSDR-SDRAMとの回路上の変更部分を共有することについて示した。しかし、本発明の回路変更部分の構成は、上記2種類のチップに限定されるものではない。たとえば、外部クロック信号で内部回路を制御するチップの動作と外部クロックをもとに発生された内部クロックで内部回路を制御するチップの動作と

を、同一チップ状において変更可能とする場合にも適用可能である。また、特殊なテストモードを有するチップにおいて、通常動作においては、外部クロックを基に発生された外部クロックでチップの動作が制御されるが、上記特殊なテストモードでは、チップ内部回路が外部クロックよりも高い周波数で動作するため、クロック信号を切換える必要がある場合にも適用可能である。

【0306】【実施の形態3】図25は、本発明の実施の形態3のSDRAMの構成の一部を示す概略ブロック図である。

【0307】図18に示したSDRAM1000の構成と異なる点は、たとえば、バンクアドレスバス50cならびにアドレスバス51cおよびコマンドバス53b、各バンクにクロック信号を伝達するバス49において、バンク100bと100cとの間に可変バーニア402、404、406および408が設けられる構成となっている点である。

【0308】また、各バンクにクロックドライバ154からの内部クロック信号int. CLK2を伝達するクロックバス49においても、バンク100bと100cとの間に可変バーニア408が設けられる構成となっている。

【0309】さらに、各バンクと入出力バッファとの間でデータの伝達を行うデータバス54においても、バンク100bと100cとの間に可変バーニア（図示せず）が設けられる構成となっている。

【0310】その他の点は、基本的にユニディレクショナルモードにおけるSDRAM1000の動作と同一であるので、同一部分には同一符号を付してその説明は繰返さない。

【0311】以下では、ユニディレクショナルモードであって、外部制御信号やアドレス信号の取込動作は、DLL回路として動作する同期回路156からの内部クロック信号int. CLK2に同期して行なわれているものとする。

【0312】ユニディレクショナルモードであるため、データの入力もこの内部クロック信号int. CLK2に同期して行なわれる構成となっている。

【0313】同期回路156で外部クロック信号と位相合わせが行なわれた内部クロック信号int. CLK2を受けて、クロックドライバ154から出力された信号が各バンクに送られ、バンク側での動作制御が行なわれる。

【0314】このとき、同期回路156の出力は、データの入出力、アドレス信号や外部制御信号の入力に用いられるばかりでなく、チップ内部の動作にも用いられていることになる。

【0315】データの入出力、アドレス信号や制御信号の入力に用いられる場合には、各パッドでの位相差が小さくなるように、内部クロック信号int. CLK2の

伝達経路が設定されている。

【0316】しかしながら、チップ内の動作の場合には、各バンクまでの位相差を特に揃える必要はなく、バンクごとに異なる位相で動作を行なうことが可能である。

【0317】これにより、クロックの流れとともに、アドレスやコマンドの分配が可能となり、いずれのバンクにおいてもクロック信号とアドレス信号、外部制御信号の位相が揃って信号の伝達が行なわれることになる。これにより、内部回路における動作マージンが確保される。

【0318】図25に示した例においては、中央に近い側のバンクと遠い側のバンクとの間にバーニア402～408を配置することで、位相の制御を行なっている。バーニア402～408は、クロック信号、アドレス信号、制御信号が信号の供給元では位相が同一でも、各配線に付加される回路規模は異なるため、各バンクに伝達されるうちに、各信号間の位相が少しずつ異なってしまうことを調整するためのものである。

【0319】さらに、このように各バンクごとに動作する位相を遅延時間分だけずらせることで、動作電流が一時的に集中することを防ぎ、SDRAM中の動作電流のピーク値を軽減することが可能となる。

【0320】このピーク電流の低減は、チップ動作におけるノイズ放射の低減をも意味し、安定なシステム動作をもたらすことが可能である。

【0321】図26は、図25に示した場合において、バンク100a、100bおよび100cおよび100dの部分のみを抜き出して示した図である。

【0322】SDRAMの中央の回路部から、クロックバス、コマンドバス、アドレスバスおよびデータバスを介して、各バンクへのデータの伝達が行なわれる。

【0323】ここで、中央回路部に最も近接したバンクである100dにおいては、アドレス信号やコマンド信号は最も早く伝達されるため、これに応じて、バンク100dが動作を始め、たとえば読出動作においてデータ出力をした場合には、最もこのバンク100dからの読出データが早い時点でデータ入出力端子に向けて出力される。

【0324】一方で、中央回路部から最も遠いバンクである100aにおいては、アドレス信号、およびコマンド信号の伝達が最も遅い時点となるため、読出されるデータが出力される時点はバンク100dからよりも遅くなるものの、データ入出力端子に対しては、バンク100aの方が近い位置にあるため、中央回路部がアドレス信号およびコマンド信号を出力してから、データ入出力端子群にバンク100aからの読出データが到達するまでの時間と、バンク100dからの読出データがデータ入出力端子に到達するまでの時間とは結果的にはほぼ揃ったものとなる。

【0325】図27は、このような読出動作タイミングを説明するための図である。図中において、各信号が活性である期間を四角形で示している。

【0326】図27においては、図26に示したバンク100dをLocal-1で表わし、バンク100aをLocal-2で表わしている。

【0327】以下では、図27を参照して、リード動作について説明する。時刻t1において、中央回路部で外部制御信号およびアドレス信号の取込が行なわれる。

【0328】クロック信号、制御信号およびアドレス信号が伝達される時間は、いずれもバンクLocal-2の方がバンクLocal-1よりも時間的に遅れたものとなる。

【0329】したがって、コマンド信号およびアドレス信号に応じて活性化されるワード線の活性化時期、センスアンプの活性化時期、列選択信号の活性化時期およびデータが読出される時期のいずれもバンクLocal-1に比べて、バンクLocal-2の方が遅れたものとなる。

【0330】しかしながら、図26において説明したとおり、データ入出力端子DQまでのデータの遅延時間は、バンクLocal-1からの方が、バンクLocal-2よりも小さいため、データが出力される時点においては、両者はほぼ一致した時間にデータ入出力端子に到達していることになる。

【0331】図28は、ライト動作のタイミングを説明するための図である。ライト動作においては、既に説明したとおりライト動作の内部レイテンシが存在するため、まずデータを書込むアレイの近くに転送さえしておけば、バンクが中央回路部から近いあるいは遠いにかかわらずクロックの遅延分に合わせて動作させることができる。また、コラム選択信号の動作も同様に内部レイテンシに合わせて行なうこととすれば、コラム選択信号の活性化の時期とデータ書込のタイミングの位相のコヒーレンスを保つことは可能である。

【0332】図29は、クロックデータバス49、バンクアドレスバス50c、アドレスバス51c、コマンドデータバス53bおよびデータバス54に対応して、設けられる可変バーニア402～412の構成を示す概略ブロック図である。

【0333】モードレジスタ1046に与えられたデータを受けて、デコーダ460によりデコードされたデータに応じて、可変バーニア402～412の遅延量がそれぞれ独立に制御される。

【0334】図30は可変バーニア402の構成をより詳しく示す概略ブロック図である。他の可変バーニア404～412も同様の構成を有する。

【0335】可変バーニア402は、各々がデコーダ460からの制御信号VPおよびVNにより遅延時間が制御され、デコーダ460からの制御信号SDに応じて、

入力信号SINを次段に出力するか排他的論理和回路4040に出力するかが、制御される複数の遅延回路4022～4036を含む。

【0336】排他的論理和回路4040の出力がバスに出力される。図31は、遅延回路4022の構成を示す概略ブロック図である。

【0337】他の遅延回路4024～4036も同様の構成を有する。遅延回路4022は、制御信号VPおよびVNにより制御される遅延時間で信号SINを遅延させて出力する可変遅延回路4050と、可変遅延回路4050の出力を受けて信号Soutを出力するバッファ4052と、バッファ4052の出力と制御信号SDとを受けて、次段の遅延回路の入力信号SINとなる信号SNEXTを出力するAND回路4054とを含む。

【0338】図32は、可変遅延回路4050の構成を示す回路図である。信号SINを受けるインバータ4060の出力を受けて、インバータ4080は、バッファ回路4052に信号を出力する。

【0339】インバータ4060および4080の動作電流が、制御信号VPおよびVNにより制御されることで、可変遅延回路4050の遅延時間が変化する。

【0340】〔実施の形態3の変形例〕図33は、図26に示した場合において、データ入出力端子群および出力制御回路が、バンク100d、すなわちチップ中央に近い側に配置される場合のSDRAMの構成を一部抜き出して示す図である。

【0341】この場合も、SDRAMの中央の回路部から、クロックバス、コマンドバス、アドレスバスおよびデータバスを介して、各バンクへのデータの伝達が行なわれる。

【0342】ここで、中央回路部に最も近接したバンクである100dにおいては、アドレス信号やコマンド信号は最も早く伝達されるため、これに応じて、バンク100dが動作を始め、たとえば読出動作においてデータ出力をした場合には、最もこのバンク100dからの読出データが早い時点でデータ入出力端子に向けて出力される。

【0343】一方で、中央回路部から最も遠いバンクである100aにおいては、アドレス信号、およびコマンド信号の伝達が最も遅い時点となるため、読出されるデータが出力される時点はバンク100dからよりも遅くなり、かつ、データ入出力端子に対しても、バンク100aの方が遠い位置にあるため、中央回路部がアドレス信号およびコマンド信号を出力してから、データ入出力端子群にバンク100aからの読出データが到達するまでの時間は、バンク100dからの読出データがデータ入出力端子に到達するまでの時間よりも遅れたものとなる。

【0344】ただし、この場合、すくなくともバンク100dへのアクセス時間は短縮されることになる。

【0345】図34は、このような読出動作タイミングを説明するための図である。図34中においても、各信号が活性である期間を四角形で示している。

【0346】図34においても、図33に示したバンク100dをLocal-1で表わし、バンク100aをLocal-2で表わしている。

【0347】以下では、図34を参照して、リード動作について説明する。時刻t1において、中央回路部で外部制御信号およびアドレス信号の取込が行なわれる。

【0348】クロック信号、制御信号およびアドレス信号が伝達される時間は、いずれもバンクLocal-2の方がバンクLocal-1よりも時間的に遅れたものとなる。

【0349】したがって、コマンド信号およびアドレス信号に応じて活性化されるワード線の活性化時期、センスアンプの活性化時期、列選択信号の活性化時期およびデータが読出される時期のいずれもバンクLocal-1に比べて、バンクLocal-2の方が遅れたものとなる。

【0350】したがって、バンクLocal-1からの読出データのほうが、バンクLocal-2からの読出データよりも、はやく出力されることになる。

【0351】図35は、ライト動作のタイミングを説明するための図である。図28の場合と同様に、ライト動作においては、ライト動作の内部レイテンシが存在するため、まずデータを書込むアレイの近くに転送さえしておけば、バンクが中央回路部から近いあるいは遠いにかかわらずクロックの遅延分に合わせて動作させることができる。また、コラム選択信号の動作も同様に内部レイテンシに合わせて行なうこととすれば、コラム選択信号の活性化の時期とデータ書込のタイミングの位相の相違を保つことは可能である。

【0352】なお、本実施の形態では、チップ内部に設けられた遅延素子による位相差動作について説明したが、この遅延素子は、インバータのような遅延素子に限定されるものではない。たとえば、抵抗成分と容量成分による遅延素子や、容量の充放電時間検出して信号を遅延させる回路を用いる構成としてもよい。

【0353】また、クロックのサイクルをカウントする遅延回路を用いても良い。その場合は、1/2クロック単位で遅延量を制御できる構成とする。さらに、PLL回路のようなクロック同期回路により発生されたクロックの位相をずらすことにより遅延させる構成としてもよい。

【0354】〔実施の形態4〕実施の形態4では、SDR-SDRAM動作モードとDDR-SDRAM動作モードを切換えて動作可能な同期型半導体記憶装置の構成を説明する。

【0355】図36は、SDR-SDRAMとDDR-SDRAMとを切換えて動作可能な同期型半導体記憶装

置のデータ出力部の第1の構成の例を示す概念図である。

【0356】メモリアレイ2101は、DDR-SDRAMとして動作する場合は、偶数アドレスのデータを格納し、SDR-DRAMとして動作する場合は、あるデータピンDQ(A)に対応してデータの入出力を行なう。

【0357】一方、メモリアレイ2102は、DDR-SDRAMとして動作する場合は、奇数アドレスのデータを格納し、SDR-DRAMとして動作する場合は、メモリアレイ101に対応させたデータピンDQ(A)とは別のデータピンDQ(B)が割当てられている。

【0358】スイッチ回路2103は、DDR-SDRAM動作モードの場合は、出力制御回路により制御されてメモリアレイ101および102と、データ入出力ピンDQ(A)およびDQ(B)との接続を選択的に切換える。一方、スイッチ回路103はSDR-DRAM動作モードの場合は、データ入出力ピンとメモリアレイとの接続関係が所定の関係となるように固定される。

【0359】一度のアクセスにより、メモリアレイ2101とメモリアレイ2102の両方がアクセスされ、読出されたデータは、データバスを経由して出力レジスタに保持される。出力レジスタは、DDR-SDRAMの場合は選択回路により外部の1つのパッドに出力されるように選択されるが、SDR-SDRAMの場合には、それぞれ独立したデータ入出力パッドDQ(A)、DQ(B)に出力されるような状態に固定される。

【0360】以上の説明は、出力部についての説明であったが、入力部についてもDQパッドと入力レジスタ、メモリアレイの接続関係は同様にしてスイッチ回路より切換えられる構成とすることが可能である。

【0361】以上の構成によりアレイとデータバス、入出力部を共通の構成として、DDR-SDRAM動作モードとSDR-SDRAM動作モードが可能な同期型半導体記憶装置を同一チップ上に実現することが可能である。

【0362】図37は、データ出力部の他の実施例の概念を示す図である。図37において、メモリアレイ2104は、DDR-SDRAM動作モードの場合は、偶数のアドレスが割当てられるが、SDR-SDRAM動作モードの場合は、ある列アドレスCA(X)が割当てられる。

【0363】一方、メモリアレイ2105は、DDR-SDRAM動作モードの場合は、奇数のアドレスが割当てられるが、SDR-SDRAM動作モードの場合は、列アドレス/CA(X)が割当てられる。一度の読出動作によってメモリアレイ2104かメモリアレイ2105のうちどちらか一方がアクセスされ、読出されたデータバスを経由してデータが出力レジスタに保持される。選択スイッチ2106は、DDR-SDRAM動作モー

ドの場合は、アドレスが偶数であるか奇数であるかに応じて、伝達経路が選択される。一方、SDR-SDRAM動作モードの場合は、列アドレスCA(X)に応じて経路が選択される。

【0364】以上は、データ出力部の構成について説明したが、データ入力部についても、DQパッドと入力レジスタ、メモリアレイの関係は、データの流れが反対向きになるのみで、同様の構成により実現することが可能である。

【0365】以上の構成により、アレイとデータバス、データ入出力部の構成を共通として、DDR-SDRAM動作モードとSDR-SDRAM動作モードを切換えて動作することが可能な同期型半導体記憶装置を同一チップ上により実現することが可能となる。

【0366】図38は、データ出力部のさらに他の構成を示す概念図である。図38を参照して、メモリアレイ2107はDDR-SDRAM動作モードの場合もSDR-DRAM動作モードの場合も、偶数のアドレスが割当てられる。一方、メモリアレイ2108は、DDR-SDRAM動作モードの場合も、SDR-DRAM動作モードの場合も奇数のアドレスが割当てられる。

【0367】DDR-SDRAM動作モードの場合は、出力部のセクタ2110は外部のクロックの立上がりとし、立下りに応じて切換わるが、SDR-DRAM動作モードの場合は、外部クロックの立上りのみによって切換わる。

【0368】一度のアクセス動作により、メモリアレイ2107とメモリアレイ2108の両方がアクセスされ、データバスを経由してデータが出力レジスタに保持される。

【0369】ここで、SDR-SDRAM動作モードの場合には、メモリアレイへのアクセスは2クロックに一度の割合で行なわれる。

【0370】以上は、データ出力部の構成について説明したが、データ入力部についても、データの流れが逆になるのみで、DQパッドと入力レジスタ、メモリアレイの関係は上記データ出力部の構成と同様にして実現することが可能である。

【0371】以上の構成により、アレイとデータバス、データ入出力部を共通として、DDR-SDRAM動作モードとSDR-SDRAM動作モードを切換えて動作することが可能な同期型半導体記憶装置を同一チップ上に構成することが可能である。

【0372】図39は、バースト長を設定するためのモードレジスタ信号の切換を行なう構成を示す概念図である。

【0373】DDR-SDRAM動作モードにおいては、ダブルデータレートであるために、1クロックで2データの入出力が行なわれる。したがって、同期型半導体記憶装置の内部の処理は、DDR-SDRAM動作モ

ードでのバーストレートを半分にしたものがSDR-SDRAM動作モードでのバースト長に相当する。

【0374】したがって、SDR-DRAM動作モードと、DDR-SDRAM動作モードを、同一チップの動作モードの切換により実現する際に、バースト長を示す内部信号とモードレジスタ2150のデコード信号を、図39に示すようにセクタ群2160によって切換える構成とする。図39において、信号BLはモードレジスタ2150のデコード信号であり、DDR-SDRAM動作モードにおいては、そのまま同期型半導体記憶装置の内部回路に伝達される。

【0375】一方、信号BL'は、SDR-SDRAM動作モードにおける内部信号を示している。

【0376】以上の構成により、バースト長を示す内部信号のDDR-SDRAM動作モードとSDR-SDRAM動作モードによる違いを、簡単な構成で、同一チップ上で切換えることが可能となる。

【0377】図40は、図37に示した概念図に基づく同期型半導体記憶装置中の列アドレスカウンタの構成を示す概略ブロック図である。

【0378】図40中に示された各スイッチは、DDR-SDRAM動作モードの場合の選択状態を示している。

【0379】以下、図40を参照して、外部から入力され、アドレスラッチ回路2201に保持されたアドレス信号は、DDR-SDRAM動作モードの場合には、下位1ビットを除いて偶数アドレス対応のメモリアレイ用のアドレスカウンタ2203と、奇数アドレス対応のメモリアレイ用アドレスカウンタ2204に送られる。

【0380】ここで、アドレスカウンタ2203に送られるアドレスは、アドレス変換回路2201を通過することにより、スタートアドレスが偶数であるか奇数であるかに応じて変換処理が行なわれる。

【0381】アドレスカウンタではシーケンシャルモード、インターリーブモードそれぞれに応じた2ビット分のアドレスカウントが行なわれる。

【0382】カウントされたアドレスは、各メモリアレイのプリデコードに送られる。このとき、列アドレスの最下位ビットはラッチ回路2205に保持され、データ入出力部の切換に利用される。

【0383】一方、SDR-SDRAM動作モードの場合には、ラッチされたアドレスは、すべてアドレスカウンタ2204に送られる。アドレスカウンタ2204は、アドレスのカウント動作を行ない、このようにして発生されたアドレス信号を列プリデコード2206、2207に送り出す。ここで、本構成ではCA(3)によって、図37に示したメモリアレイ2104と2105を切換える構成となっている。このため、信号CA

(3)は、プリデコード信号の各メモリアレイへの出力を制御する信号になっている。

【0384】すなわち、信号CA(3)が“H”レベルであれば、第1の列デコーダ2206に対して、信号CA(3)が“L”レベルであれば、第2の列デコーダ2207へ信号が送られる構成となっている。

【0385】メモリアレイの動作はプリデコード信号によって行なわれ、プリデコード信号が出力されなければ対応するメモリアレイの動作が行なわれない。また、信号CA(3)は、ラッチ回路2205に保持され、入出力の制御にも用いられる。

【0386】ここで、アドレスカウンタ2204は、SDR-SDRAM動作モードの場合も、DDR-SDRAM動作モードの場合も用いられるため、SDR-DRAMのスペックに合わせたビット数のカウンタが必要である。

【0387】ここでは、バースト長8の場合が最大として、3ビットカウンタの場合を示したが、全アドレスをアクセスするフルページモードを備える場合は、全アドレスをカウントできるビット数のカウンタが必要である。

【0388】一方、アドレスカウンタ2205は、DDR-SDRAMの場合のみ用いられるので、2ビット目と3ビット目のアドレスを変化させる2ビットカウンタのみで構成されている。

【0389】以上のような構成により、DDRモード時は、列デコーダ2206および2207にかかるメモリアレイ両側からデータの読出が行なわれる。

【0390】たとえば、偶数アドレスにかかるアレイ、奇数アドレスにかかるアレイの両側からデータが読出される構成となっている。したがって、DDR-SDRAM動作モードのときには、信号CA(0)は、偶数アレイからのデータ、奇数アレイからのデータをDQ選択するための信号としてラッチされていることになる。

【0391】SDR-SDRAM動作モード時は、信号CA(0)は、バーストアドレスの最小ビットとして使用される。さらに、偶数アレイ対応の列デコーダ、奇数アレイ対応の列デコーダを区別なく動作させることになる。このままでは、SDR-SDRAM動作モード時に必要なデータ数の2倍のデータが出力されてしまうため、アレイを選択するために、信号CA3を利用して、列デコーダが片方しか動作しない構成となっている。

【0392】さらに、バースト長を示す信号BLは、バーストモニタ回路に入力される。ここで、バースト長に対応するサイクルが回転すると、バースト終了信号が出力され、アドレスカウンタのリセットが行なわれる。

【0393】DDR-SDRAM動作モードにおいては、通常のクロック1サイクルで2ビットのバーストが実施されるため、SDRモード時に比べ、1/2のサイクル数でバーストするよう信号が発せられることになる。

【0394】以上のような構成により、DDR-SDR

AM動作モードと、SDR-SDRAM動作モードにおける行アドレスの異なったカウント方法を有する同期型半導体記憶装置を、同一チップ上に動作モードを切換えることで実現可能な同期型半導体記憶装置が提供される。

【0395】〔同期型半導体記憶装置の詳細な構成〕以上の説明では、図37の概念図で示される場合について説明したが、以下では、さらに説明の簡単のために、図37で示される概念の特別の場合である図38に示した概念図に基づく、同期型半導体装置の構成について説明する。

【0396】つまり、以下の説明では、図40のカウンタ2204は2ビットカウンタであるものとして説明する。図40においては、コラムアドレスCA(3)を用いる構成となっているので、3ビットカウンタが必要となっているが、より特別な図38の構成では、2ビットカウンタでよい。

【0397】すなわち、図40に示したアドレスラッチ回路2201、アドレス変換回路2202、アドレスカウンタ2203、2204および列プリデコーダ2206、2207相当する構成についてより詳細に説明する。

【0398】図41は、図18に示した実施の形態2の同期型半導体記憶装置2000の列系のローカル制御回路について、冗長回路部分の制御系も含めた構成を示す概略ブロック図である。

【0399】図41を参照して、アドレス処理部E2は、偶数アドレスに対応した領域100a1および奇数アドレスに対応した領域100a2に対する列選択動作を制御するための回路であり、冗長判定部408は、冗長領域SR1に対する列判定動作を制御するための回路である。

【0400】以下で説明するとおり、冗長領域SR1は、偶数アドレスに対応した領域100a0および100a1の双方について冗長置換を行なうことが可能な構成となっている。

【0401】アドレス処理部E2は、コラムへのアクセス信号COLAとバンクアドレス信号とが入力されるAND回路510と、AND回路510の出力を受けワンショットパルスを発生するパルス発生回路512と、中央からアドレスバス50cによって伝達された13ビットのアドレスAdd(C:0)をパルス発生回路512の出力に応じて取込む1次ラッチ回路550aと、1次ラッチ回路550aが出力するコラムアドレスをラッチするラッチ回路550bと、1次ラッチ回路550aの下位3ビットを動作条件に応じて変換するアドレス変換回路554aと、アドレス変換回路554aの出力を受けクロック信号CCLKに同期してバースト動作のためにカウントを行なうカウンタ554b、554c(バーストアドレスカウンタ1060に相当)と、ラッチ回路

550bおよびカウンタ554b、554cの出力を受けるプリデコーダ556a、556b、557および558と、プリデコーダ556a、556b、557および558の出力を遅延させて出力するシフト560a、560bと、シフト560a、560bの出力をメモリアレイ中に出力するドライバ562a、562bと、ラッチ回路550bによってラッチされたアドレス信号を受けて冗長判定を行なう冗長判定部408とを含む。

【0402】ここで、信号CLKは、内部クロック信号int. CLKの反転した信号であり、カウンタ554bおよび554cは、この内部クロック信号int. CLKが不活性である期間中にカウントアップ動作を行なうことになる。

【0403】図41中プリデコーダ556a、556bシフト560a、560bおよびドライバ562a、562bは、奇数アドレス領域100a2に対応した列選択信号をプリデコードラインに出力するための構成を示す。

【0404】図41においては、偶数アドレス領域に対する冗長判定部408のみを図示しているが、実際には、奇数アドレス領域100a2に対応しても、冗長判定部408と同様な構成が設けられている。

【0405】冗長判定部408は、冗長判定回路456と、冗長判定回路456の出力を受ける入出力選択回路457およびOR回路458と、冗長判定回路456、入出力選択回路457およびOR回路458の出力を遅延させて出力するシフト460と、シフト460の出力をメモリアレイ中に出力するドライバ462とを含む。

【0406】次に簡単に動作を説明する。SDRAM1010の中央部から送られたアドレス信号は、コラムへのアクセス信号COLAとバンクアドレスとに基づくパルス発生回路512の出力に応じて、1次ラッチ回路550aにコラムアドレスとして取込まれる。1次ラッチ回路550aは、ラッチ回路550bとアドレス変換回路554aにコラムアドレスを送り出した後、信号SCRCによりセットされる。この1次ラッチ回路550aは電源投入時にも電源投入の際のみに発生する信号Vupによってリセットされる。

【0407】コラムアドレスの下位3ビットは、バースト動作のための処理に関わるもので、アドレス変換処理を施した後カウンタに入力される。

【0408】実際は、奇数アドレスと偶数アドレスとが同時に処理されるため最下位アドレスは共通となり、カウンタ処理をされるのは下位3ビット中の2ビットとなる。

【0409】この結果がバンクのメモリアレイの奇数アドレス領域と偶数アドレス領域の各プリデコーダに伝達される。また冗長判定回路にもコラムアドレスが入力され、冗長メモリ列への置換が行なわれた場合には、OR回路458から出力される信号が活性状態となり、それ

に応じて所定の時間遅延して出力されるドライバ回路462からの出力が、冗長メモリ列の置換を指示するヒット信号Hitとして認識される。なお、信号Hitが不活性である場合は冗長メモリ列への置換が行なわれていないことになり、この場合は冗長列への変換がミス(Miss)したと呼ぶことにする。したがって、ドライバ回路462から出力される信号は、総称してヒット/ミス信号(以下H/M信号)と呼ばれる。

【0410】以上説明したとおり、偶数アドレス部408に対応して設けられた複数の冗長判定回路の判定結果はOR回路458においてOR処理がなされ、いずれかの冗長置換が実施されたか否かの判定結果として認識される。

【0411】入出力選択回路457からシフトおよびドライバを経由して出力される入出力選択信号I/O-Selectは、冗長領域SR1に属するメインI/O線対RM-I/Oにより読出されたデータを、いずれのグローバルI/OバスG-I/Oに出力するかを指示する信号である。

【0412】図42は、アドレス処理部E2の構成を示すブロック図である。まず、図42中の各信号について説明すると以下のとおりである。

【0413】信号CRCA LTijは、バンクが活性化された際に生成される第1のパルス信号である。

【0414】信号CRCCLKLTijは、バースト動作の終了を示すバースト終了パルス信号である。信号CRA3NTijは、動作モードがシーケンシャルモードであるかインタリーブモードであることを示す信号であり、“L”レベルではシーケンシャルモードが、“H”レベルではインタリーブモードがそれぞれ指定される。

【0415】信号CRBL4NTijは、バースト長を指定するための信号であり、“L”レベルでは、バースト長4が指定され、“H”レベルではバースト長8が指定される。

【0416】信号CRSBYij(8:0)は、信号バスにより伝達されるアドレス信号である。信号CRSBYBij(8:0)は、アドレスバスにより伝達される信号アドレスの相補信号である。

【0417】信号CRBHITFGijは、バンクが活性期間中は活性状態となるバンク選択フラグである。信号CRBHITijは、バンク選択がされたことを示すバンクヒット信号である。

【0418】信号MD-RACLTは、行アドレスストローブ信号RASが活性である期間アドレスレシーバを非活性化する信号である。信号CRSCRCは、介挿電源の動作モードを活性化する信号である。信号CRCWTEijは、書込動作を指示する信号である。信号CRSIOLijは、書込動作において、シフトレジスタ560aのシフト動作を制御するためのクロック信号である。

【0419】信号CRWMIjは、書込マスク動作を指示する信号である。信号CRYSELIjは、列選択信号Yselのタイミングを指示する信号である。信号VPU-RSTLTは、パワーアップリセット信号である。信号CFHki jは、プリデコードされた後の上位アドレス信号であり、信号CFLki jは、プリデコードされた後の中位アドレス信号であり、信号CFPBki jは、列選択のタイミングでコントロールされたプリデコード後の下位アドレス信号である。信号CRFPBLki jは、左側のメモリセルブロックに対する冗長デコード信号であり、信号CRFPBRki jは、右側のメモリセルブロックに対する冗長デコード信号である。以下では、冗長デコード信号を総称して信号CRFPBと呼ぶ。

【0420】信号CRISOLLki jは、左側の冗長デコードと左側のブロックのグローバルI/O線対を接続するための選択信号であり、信号CRISOLRki jは、左側の冗長デコードと右側のブロックのグローバルI/O線対G-I/Oとを接続するための選択信号である。信号CRISORLki jは、右側の冗長デコードと左側のブロックのグローバルI/O線対G-I/Oとを接続するための選択信号であり、信号CRISORRki jは、右側の冗長デコードと右側のブロックのグローバルI/O線対G-I/Oとを接続するための選択信号である。

【0421】信号CRNYDLki jは、冗長列が選択された際に、左側のブロックを非活性化するための信号であり、信号CRNYDRki jは、冗長列が選択された際に右側のブロックを非活性化するための信号である。

【0422】図42を参照して、アドレスレシーバおよびラッチ回路550aおよび550bは、アドレスバス50cからの信号を受け、レシーバタイミング制御回路512からの信号に応じて、アドレス信号の取込動作を行なう。ここで、レシーバ動作タイミング制御回路512は、信号CRBHITFGijすなわちバンク選択フラグ、信号CRBHITIjすなわちバンクヒット信号、信号MD-RACLTLTおよび信号CRSCRC-HT、信号VPU-RSTLTに応じて、アドレスレシーバの動作を制御する。

【0423】アドレス変換およびバーストアドレスカウンタ回路554は、列アドレス信号のうちの下位アドレスビットのCRSBYij(0)~(2)を受けて、信号CRA3NTijにより指定されるシーケンシャル動作モードあるいはインタリーブ動作モードに応じて、アドレス変換をした後に、バーストアドレスの生成を行なう。

【0424】コマンドバッファ3002は、書込動作を指定するための信号CRCWTEijと書込マスク動作を指定するための信号CRWMIjとを受けて、対応す

るプリデコードの動作を制御する。

【0425】偶数領域に対応して設けられているプリデコード信号生成回路3200は、プリデコード556a、557およびシフト560aおよびドライバ回路562aと冗長判定部408とを含むプリデコード信号生成回路3100は、書込動作であるか読出動作であるかに応じて、所定のタイミングで、信号CFHEij、信号CFLEijおよび信号CFPBEijを生成する。また、冗長列が選択されている場合は、信号CRFPBLEij、信号CRFPBREijを、対応する冗長列を活性化させるために出力する。

【0426】さらに、プリデコード信号生成回路3100は、信号CRISOLLEij等を、選択された冗長列と置換されるべきメモリセル列の存在する位置に応じて、出力する。一方、冗長列が選択された場合には、置換されたメモリブロックの側のメインアンプを非活性化するために、信号CRNYDLEijまたは信号CRNYDREijのいずれかを活性状態とする。

【0427】奇数アドレス領域に対応したプリデコード信号生成回路3200も同様の構成である。

【0428】図43は、図42に示したアドレスレシーバおよびラッチ回路の構成を示す回路図である。

【0429】アドレスレシーバおよびラッチ回路3400は、アンプ回路3416と、信号ATEBにより制御されて、アンプ回路へのアドレスバスからの入力信号IN(たとえば、信号CRSBYij(0))との接続を開閉するpチャネルMOSトランジスタ3406と、アンプ3416の反転入力とアドレスバスからの相補入力信号ILB(たとえば、信号CRSBYBij(0))との接続を信号ATEBに制御されて開閉するpチャネルMOSトランジスタ3408とを含む。ここで、信号ATEBは、バンクの活性化に応じて活性化される信号である。

【0430】レシーバおよびラッチ回路3400は、さらに、イコライズ信号EQBにより制御され、pチャネルMOSトランジスタ3406および3408とアドレスバス50c側との間のイコライズ動作を行なうために、入力ノードINとノードINBとの間に接続され、ゲートに信号EQBを受けるpチャネルMOSトランジスタ3400と、入力ノードINとノードINBとの間に直列に接続され、ゲートが信号EQBにより制御されるpチャネルMOSトランジスタ3402および3404とを含む。トランジスタ3402と3404との接続ノードには、電源電位Vccが供給される。

【0431】レシーバおよびラッチ回路3400は、さらに、pチャネルMOSトランジスタ3406および3408とアンプ3416との間のイコライズ動作を行なうために設けられるpチャネルMOSトランジスタ3414、3410および3412を含む。トランジスタ3414、3410および3412は、それぞれ、pチャ

ネルMOSトランジスタ3400、3402および3404に対応する動作を行なう。

【0432】レシーバおよびラッチ回路3400は、さらに、アンプ回路3416の入力ノードと第1の入力ノードとが接続し、第2の入力ノードが信号AHOLDを受けるNAND回路3418と、アンプ3416の相補入力ノードと第1の入力ノードが接続し、第2の入力ノードに、信号AHOLDを受け、第3の入力ノードがNAND回路3418の出力ノードと接続するNAND回路3420と、NAND回路3418の出力を受けて、レシーバおよびラッチ回路3400の出力信号OUTLTを出力するインバータ3422と、NAND回路3420の出力を受けて、レシーバおよびラッチ回路3400の相補出力OUTLBを出力するインバータ3424とを含む。

【0433】NAND回路3420の出力ノードは、NAND回路3418の第3の入力ノードと接続し、NAND回路3418および3420によりラッチ回路が構成される。

【0434】信号AHOLDは、このラッチ回路の動作を活性化させるための信号である。図44は、図43に示したアンプ回路3416の構成を説明するための回路図である。

【0435】アンプ回路3416は、内部ノードn1と接地電位GNDとの間に接続され、アンプ回路3416を活性化するための信号AAEを受けるnチャネルMOSトランジスタ3430と、ノードn1と電源電位Vcとの間に互いに直列に接続されるpチャネルMOSトランジスタ3432およびnチャネルMOSトランジスタ3434と、電源電位Vcとノードn1との間に、接続ノードn3を介して互いに直列に接続されるpチャネルMOSトランジスタ3436およびnチャネルMOSトランジスタ3436とを含む。pチャネルMOSトランジスタ3432およびnチャネルMOSトランジスタ3434のゲートは、pチャネルMOSトランジスタ3436とnチャネルMOSトランジスタ3438の接続ノードと接続し、pチャネルMOSトランジスタ3436のゲートおよびnチャネルMOSトランジスタ3438のゲートは、pチャネルMOSトランジスタ3432とnチャネルMOSトランジスタ3434の接続ノードn2と接続する。

【0436】ノードn2が、アンプ3416の入力ノードであり、ノードn3がアンプ3416の相補入力ノードである。

【0437】図45は、図42に示した構成のうち、アドレス変換およびバーストカウンタ回路554の構成を示す概略ブロック図である。

【0438】アドレス変換およびバーストカウンタ回路554は、アドレス変換回路554aおよび偶数アドレスカウンタ554cならびに奇数アドレスカウンタ55

4bとを含む。

【0439】アドレス変換回路554aは、偶数アドレス変換回路3500とリセット信号生成回路3510とを含む。

【0440】偶数アドレス変換回路3500は、レシーバおよびラッチ回路3400からの下位アドレス信号CA0、CA1およびCA2を受けて、信号CRA3NTijに応じて、動作モードに応じたアドレス変換を行なう。リセット信号生成回路3510は、信号SCRCおよび信号VPU-RSTを受けて、偶数アドレスカウンタおよび奇数アドレスカウンタ554cおよび554bに対するリセット信号を生成する。

【0441】偶数アドレスカウンタ554cは、偶数アドレス変換回路3500からの出力と、信号CRCAL Tijおよび信号CRCCLTijおよび信号CRA3NTijおよび信号CRBL4NTijとを受けて、偶数アドレス領域に対する列アドレス信号の第1ビット目の選択信号の信号CA1Eおよび信号CA1BEならびに第2ビット目のアドレス選択信号の信号CA2Uおよび信号CA2BEを生成する。

【0442】ここで、信号CA1Eと信号CA1BEとは互いに相補な信号であり、信号CA2Eと信号CA2BEとは互いに相補な信号である。

【0443】奇数アドレスカウンタ554bも、偶数アドレスカウンタ554cと基本的には同様の動作を行なう。

【0444】図46は、図45に示した偶数アドレス変換回路3500の構成を説明するための回路図である。

【0445】偶数アドレス変換回路3500は、信号CRA3NTijを受けるインバータ3520と、信号CA1を受けるインバータ3522と、インバータ3522の出力を受け、信号CRA3NTijおよびインバータ3520の出力により活性状態とされて、信号CA1Eを出力するクロックドインバータ3530と、信号CA0を受けるインバータ3524と、信号CA1を受けるインバータ3526と、信号CA1とインバータ3524との論理積と信号CA0とインバータ3526の出力との論理積の否定論理和演算結果を出力する論理ゲート3528と、論理ゲート3528の出力を受けて、信号CRA3NTijおよびインバータ3520の出力により、クロックドインバータ3530とは相補的に活性化され、信号CA1Eを出力するクロックドインバータ3532とを含む。信号CA1Eがクロックドインバータ3530から出力される場合は、インタリーブ動作が指定されている場合であり、信号CA1Eがクロックドインバータ3532から出力される場合は、シーケンシャル動作が指定されている場合である。

【0446】偶数アドレス変換回路3500は、さらに、信号CA0、信号CA1および信号CA2を受ける3入力NAND回路3540と、信号CA0と信号CA

1とNAND回路3540の出力との論理積と信号CA2とNAND回路3540との論理積との否定論理和演算結果を出力する論理ゲート3542と、信号CRA3NT_{ij}とインバータ3520の出力とにより活性化され、論理ゲート3542の出力を受けて、信号CA2Eを出力するクロックドインバータ3544と、信号CA2を受けて、反転して出力するインバータ3546と、インバータ3546の出力を受け、信号CRA3NT_{ij}とインバータ3520との出力により、クロックドインバータ3544とは相補的に動作して、信号CA2Eを出力するクロックドインバータ3548とを含む。

【0447】クロックドインバータ3544から信号CA2が出力されるのはシーケンシャル動作モードの場合であり、クロックドインバータ3548から信号CA2Eが出力されるのはインタリーブ動作の場合である。

【0448】なお、図46において、インバータ3520以外の回路は、介挿電源構成により動作して、待機動作中においては、そのリーク電流が小さくなるような動作モードに移行する。インバータ3520のみは、これを構成するトランジスタのしきい値を予めリーク電流が十分小さくなるような値（以下、MV_{th}で表わす）に設定されている。

【0449】図47は、図45に示した偶数カウンタ554cの構成を説明するための概略ブロック図である。

【0450】偶数アドレスカウンタ554cは、第1内部カウンタ3600と、第2内部カウンタ3700とを含む。第1内部カウンタ3600は、偶数アドレス変換回路3500からの信号CA1Eを受けて、信号CRCALT_{ij}、信号CRCCLKLT_{ij}、信号CRA3NT_{ij}とに応じて、信号CA1Eと信号CA1BEとを出力する。第2内部カウンタ3700は、偶数アドレス変換回路3500からの信号CA2Eを受けて、信号CRCALT_{ij}、信号CRCCLKLT_{ij}、信号CRA3NT_{ij}、信号CRBL4NT_{ij}とに応じて、信号CA2Eおよび信号CA2BEを生成する。

【0451】図48は、図47に示した第2内部カウンタ3700の構成を示す概略ブロック図である。

【0452】第2内部カウンタ3700は、信号CRCCLKLT_{ij}と信号CRBL4NT_{ij}とを受けるNAND回路3702と、NAND回路3702の出力を受けるインバータ3704と、信号CRCALT_{ij}を受けるインバータ3708と、信号CRA3NT_{ij}を受けるインバータ3710と、第1内部カウンタ3600からの信号CARIXNTを受けるインバータ3712と、信号CA2Eを受け、NAND回路3702の出力、インバータ3704の出力、信号CRCALT_{ij}およびインバータ3708の出力、インバータ3710の出力、信号CARIXNTおよびインバータ3712の出力とを受けて動作する第1のビットカウンタ3714と、ビットカウンタ3714の出力を受け、NAND

回路3702の出力、インバータ3704の出力、信号CRCALT_{ij}、インバータ3708の出力、信号CRA3NT_{ij}、信号CA2Eのレベルとに応じて、信号CA2Eおよび信号CA2BEを出力する第2のビットカウンタ3706とを含む。

【0453】図49は、図48に示した第1のビットカウンタ3714の構成を示す回路図である。

【0454】第1のビットカウンタ3714は、NAND回路3702からの出力信号CLKBと、インバータ3704からの信号CLKとに応じて動作し、第1のビットカウンタ3714の出力信号を入力として受けるクロックドインバータ3800と、信号CLKBおよび信号CLKに応じて、クロックドインバータ3800とは相補に動作するクロックドインバータ3802と、クロックドインバータ3800およびクロックドインバータ3802の出力を受けるインバータ3804とを含む。インバータ3804の出力は、クロックドインバータ3802の入力ノードと接続する。第1のビットカウンタ3714は、さらに、インバータ3804の出力を受け反転するインバータ3806と、インバータ3806の出力を受け、信号CLKBおよびCLKに応じて動作するクロックドインバータ3808と、インバータ3710からの出力と信号CA2Eとを受けるNAND回路3810と、インバータ3708からの出力および信号CRCALT_{ij}とに応じて動作し、NAND回路3810の出力を受けて反転するクロックドインバータ3812と、一方の入力ノードに、クロックドインバータ3808および3812の出力を受け、他方の入力ノードに信号SCRCを受けるNAND回路3826とを含む。

【0455】第1のビットカウンタ3714は、さらに、電源電位V_{cc}と接地電位GNDとの間に直列に接続されるpチャネルMOSトランジスタ3814、3816および3818と、nチャネルMOSトランジスタ3820、3822および3824とを含む。pチャネルMOSトランジスタ3814のゲートおよびnチャネルMOSトランジスタ3824のゲートは、NAND回路3826の出力を受ける。pチャネルMOSトランジスタ3816のゲートは、信号CRCALT_{ij}を受け、pチャネルMOSトランジスタ3818のゲートは、信号CLKを受け、nチャネルMOSトランジスタ3820のゲートは、信号CLKBを受け、nチャネルMOSトランジスタ3822のゲートは、インバータ3708の出力を受ける。

【0456】第1のビットカウンタ3714は、さらに、NAND回路3826の出力を受け、インバータ3712の出力および信号CARIXINTとに応じて動作するクロックドインバータ3828と、インバータ3812の出力を受け、インバータ3712からの出力と信号CARIXINTとによりクロックドインバータ3828とは相補に動作するクロックドインバータ383

0とを含む。クロックドインバータ3828および3830からの出力は、第1のビットカウンタ3714の出力信号CCNTR0として出力される。

【0457】図50は、図48に示した第2のビットカウンタ3706の構成を示す概略ブロック図である。

【0458】第2のビットカウンタ3706は、第1の入力ノードに信号CRA3NTijを受け、第2の入力ノードに信号CRBL4NTijを受けるNAND回路3900と、NAND回路3900の出力を受けるインバータ3902と、第1のビットカウンタの出力信号CCNTR0を受けるインバータ3904と、インバータ3904の出力を受け、NAND回路3900の出力およびインバータ3902の出力に応じて反転して出力するクロックドインバータ3910と、信号CCNTR0を受け、NAND回路3900およびインバータ3902の出力に応じて、クロックドインバータ3910とは相補に動作するクロックドインバータ3908と、クロックドインバータ3908およびクロックドインバータ3910の出力を受け、信号CLKおよび信号CLKBに応じて動作して反転して出力するクロックドインバータ3920と、クロックドインバータ3920の出力を受け反転して出力するインバータ3926と、インバータ3926の出力を受け、信号CLKおよび信号CLKBに応じて、クロックドインバータ3920とは相違に動作するクロックドインバータ3922と、インバータ3926の出力を受けるインバータ3928と、インバータ3928の出力を受け、信号CLKおよび信号CLKBに応じて、クロックドインバータ3920とは相補に動作するクロックドインバータ3930と、信号CA2Eを受け、インバータ3708の出力および信号CRCALTijに応じて動作するクロックドインバータ3932とを含む。

【0459】第2のビットカウンタ3706は、さらに、信号SCRCを受けるインバータ3906と、インバータ3906の出力とインバータ3932からの出力とを受けるNOR回路3912と、信号SCRCとインバータ3932の出力とを受けるNAND回路3914と、NOR回路3912の出力を受けるインバータ3934と、インバータ3934の出力を受けて反転し、信号CA2Eとして出力するインバータ3936と、NAND回路3914の出力を受け、反転して信号CA2BEとして出力するインバータ3938とを含む。

【0460】第2のビットカウンタ3706は、さらに、インバータ3708からの出力と信号CRCALTijとに応じて動作し、信号CA2Eを受けるクロックドインバータ3916と、クロックドインバータ3916の出力とインバータ3906の出力とを受けるNOR回路3924と、NOR回路3924の出力を受けて、信号CRCALTijおよびインバータ3708からの出力に応じて、クロックドインバータ3916とは相補

に動作し、出力ノードがクロックドインバータ3916の出力ノードと接続するクロックドインバータ3918とを含む。

【0461】以上のような構成により、動作モードに応じて、列アドレスの下位から3ビット目の信号に対応した相補な内部列アドレス信号CA2EおよびCA2BEが生成される。

【0462】図51は、図47に示した第1内部カウンタ3600の構成を示す概略ブロック図である。

【0463】第1内部カウンタ3600は、信号CRCCLKLTijと信号CRBL4NTijとを受けるNAND回路3602と、NAND回路3602の出力を受けるインバータ3604と、信号CRCALTijを受けるインバータ3608と、信号CRA3NTijを受けるインバータ3610と、電源電位Vccおよび接地電位Vssを受けて選択的に出力するスイッチ回路3611と、スイッチ回路3611の出力を受けるインバータ3612と、信号CA1Eを受け、NAND回路3602の出力、インバータ3604の出力、信号CRCALTijおよびインバータ3608の出力、インバータ3610の出力、信号CARIXNTおよびインバータ3612の出力とを受けて動作する第1のビットカウンタ3614と、ビットカウンタ3714の出力を受け、NAND回路3702の出力、インバータ3704の出力、信号CRCALTij、インバータ3708の出力、信号CRA3NTij、信号CA2Eのレベルとに応じて、信号CA2Eおよび信号CA2BEを出力する第2のビットカウンタ3606とを含む。

【0464】図52は、図51に示した第1のビットカウンタ3614の構成を示す回路図である。

【0465】第1のビットカウンタ3614は、NAND回路3602からの出力信号CLKBと、インバータ3604からの信号CLKとに応じて動作し、第1のビットカウンタ3614の出力信号を入力として受けるクロックドインバータ8800と、信号CLKBおよび信号CLKに応じて、クロックドインバータ8800とは相補に動作するクロックドインバータ8802と、クロックドインバータ8800およびクロックドインバータ8802の出力を受けるインバータ8804とを含む。インバータ8804の出力は、クロックドインバータ8802の入力ノードと接続する。

【0466】第1のビットカウンタ3614は、さらに、インバータ8804の出力を受け反転するインバータ8806と、インバータ8806の出力を受け、信号CLKBおよびCLKに応じて動作するクロックドインバータ8808と、インバータ3610からの出力と信号CA1Eとを受けるNAND回路8810と、インバータ3608からの出力および信号CRCALTijとに応じて動作し、NAND回路8810の出力を受けて反転するクロックドインバータ8812と、一方の入力

ノードに、クロックドインバータ8808および8812の出力を受け、他方の入力ノードに信号SCRCを受けるNAND回路8826とを含む。

【0467】第1のビットカウンタ3614は、さらに、電源電位Vccと接地電位GNDとの間に直列に接続されるpチャネルMOSトランジスタ8814、8816および8818と、nチャネルMOSトランジスタ8820、8822および8824とを含む。pチャネルMOSトランジスタ8814のゲートおよびnチャネルMOSトランジスタ8824のゲートは、NAND回路8826の出力を受ける。pチャネルMOSトランジスタ8816のゲートは、信号CRCA LT i jを受け、pチャネルMOSトランジスタ8818のゲートは、信号CLKを受け、nチャネルMOSトランジスタ8820のゲートは、信号CLKBを受け、nチャネルMOSトランジスタ8822のゲートは、インバータ3608の出力を受ける。

【0468】第1のビットカウンタ3614は、さらに、NAND回路8826の出力を受け、インバータ3612の出力およびスイッチ回路3611の出力とに応じて動作するクロックドインバータ8828と、インバータ8812の出力を受け、インバータ3612からの出力とスイッチ回路3611の出力とによりクロックドインバータ8828とは相補に動作するクロックドインバータ8830とを含む。クロックドインバータ8828および8830からの出力は、第1のビットカウンタ3614の出力信号CCNTROとして第2のビットカウンタ3606に出力される。

【0469】第1のビットカウンタ3614は、さらに、NAND回路8826の出力を受けるインバータ8832と、インバータ8832の出力と接地電位レベルの信号CT128PLTとを受けるNOR回路8834と、NOR回路8834の出力を受けて反転して信号CARIXNTとして、第2の内部カウンタ3700に出力するインバータ8836とを含む。

【0470】図5.3は、図5.1に示した第2のビットカウンタ3606の構成を示す概略ブロック図である。

【0471】第2のビットカウンタ3606は、第1の入力ノードに信号CRA3NT i jを受け、第2の入力ノードに信号CRBL4NT i jを受けるNAND回路8900と、NAND回路8900の出力を受けるインバータ8902と、第1のビットカウンタの出力信号CCNTROを受けるインバータ8904と、インバータ8904の出力を受け、NAND回路8900の出力およびインバータ8902の出力に応じて反転して出力するクロックドインバータ8910と、信号CCNTROを受け、NAND回路8900およびインバータ8902の出力に応じて、クロックドインバータ8910とは相補に動作するクロックドインバータ8908と、クロックドインバータ8908およびクロックドインバータ

8910の出力を受け、信号CLKおよび信号CLKBに応じて動作して反転して出力するクロックドインバータ8920と、クロックドインバータ8920の出力を受け反転して出力するインバータ8926と、インバータ8926の出力を受け、信号CLKおよび信号CLKBに応じて、クロックドインバータ8920とは相違に動作するクロックドインバータ8922と、インバータ8926の出力を受けるインバータ8928と、インバータ8928の出力を受け、信号CLKおよび信号CLKBに応じて、クロックドインバータ8920とは相補に動作するクロックドインバータ8930と、信号CA2Eを受け、インバータ3608の出力および信号CRCA LT i jに応じて動作するクロックドインバータ8932とを含む。

【0472】第2のビットカウンタ3606は、さらに、信号SCRCを受けるインバータ8906と、インバータ8906の出力とインバータ8932からの出力とを受けるNOR回路8912と、信号SCRCとインバータ8932の出力とを受けるNAND回路8914と、NOR回路8912の出力を受けるインバータ8934と、インバータ8934の出力を受けて反転し、信号CA1Eとして出力するインバータ8936と、NAND回路8914の出力を受け、反転して信号CA1BEとして出力するインバータ8938とを含む。

【0473】第2のビットカウンタ3606は、さらに、インバータ3608からの出力と信号CRCA LT i jとに応じて動作し、信号CA1Eを受けるクロックドインバータ8916と、クロックドインバータ8916の出力とインバータ8906の出力とを受けるNOR回路8924と、NOR回路8924の出力を受けて、信号CRCA LT i jおよびインバータ8708からの出力に応じて、クロックドインバータ8916とは相補に動作し、出力ノードがクロックドインバータ8916の出力ノードと接続するクロックドインバータ8918とを含む。

【0474】以上のような構成により、動作モードに応じて、列アドレスの下位から2ビット目の信号に対応した相補な内部列アドレス信号CA1EおよびCA1BEが生成される。

【0475】[プリデコードとシフトレジスタの構成]
図5.4は、図4.1に示した構成のうちプリデコード回路556およびシフトレジスタ560の構成ならびに冗長判定部408の構成を説明するための概略ブロック図である。

【0476】図5.4に示した構成は、それぞれ偶数アドレス領域および奇数アドレス領域に対応して設けられている。プリデコード557は、アドレス変換およびバーストカウンタ554からの列アドレス信号BYCT k i j (2:1) およびその相補信号の信号BYCB k i j (2:1) とを受け、プリデコード結果を対応するシフ

トレジスタ560. 0に出力する。シフトレジスタ560. 0は、書込動作において、対応する列選択線を活性化信号CFPBijk (15:0)のいずれかを活性化する。

【0477】プリデコード556. 1は、さらに、ラッチ回路550からのコラムアドレス信号BYij (8:3)およびその相補信号である信号BYBij (8:3)とを受けて、中位のアドレス信号をプリデコードして出力するプリデコード556. 1と、プリデコード556. 1の出力を受けて、列選択線を活性化するための信号CFLijk (3:0)を所定のクロック数だけ遅延して出力するシフトレジスタ560. 1と、ラッチ回路550からのコラムアドレス信号BYij (8:3)およびその相補信号である信号BYBij (8:3)とを受けて、上位のアドレス信号をプリデコードして出力するプリデコード556. 2と、プリデコード556. 2の出力を受けて、列選択線を活性化するための信号CFHijk (3:0)を所定のクロック数だけ遅延して出力するシフトレジスタ560. 2を含む。

【0478】冗長デコード456は、信号BYCTij (2:1)と信号BYCBij (2:1)ならびに信号BYij (8:3)および信号BYBij (8:3)とを受けて、不良アドレスとの比較結果に応じて、デコードした値を出力する。

【0479】シフトレジスタ460. 1は、冗長デコード456からの出力を受けて、書込動作モードにおいては所定のクロック数（たとえば、2クロック）だけ遅延して、冗長列を選択するための信号CRFPBLijk (3:0)と信号CRFPBRijk (3:0)とを出力する。

【0480】ここで、信号CRFPBLijk (3:0)は、左側領域（左側のブロック）の冗長列を選択するための信号であり、信号CRFPBRijk (3:0)は、右側領域（右側のブロック）の冗長列を選択するための信号である。

【0481】デコードおよびシフトレジスタ454は、冗長デコード456からの出力を受けて、冗長アレイ中のメインアンプMAとグローバルI/O線対とを選択的に接続するマルチプレクサ818を制御するための信号CRISOLLkij、信号CRISOLRLkij、信号CRISORLkij、信号CRISORRkijと、冗長列が選択された場合に、正規のメモリエレイ領域に対応するメインアンプを不活性化するための信号CRNYDLkijおよび信号CRNYDRkijを出力する。信号CRNYDLkijは、冗長列が選択された場合に、左側のブロックを不活性化するための信号であり、信号CRNYDRkijは、冗長列が選択された場合に右側のブロックを不活性化するための信号である。

【0482】シフトレジスタ560. 0、560. 1お

よび560. 2、ならびにシフトレジスタ460. 1およびデコードおよびシフトレジスタ回路454に与えられる信号CRCWTEijkは書込動作を指定するためのコマンド信号であり、信号CRSCLijkは、書込動作においてシフトレジスタを動作させるためのクロック信号であり、信号CRWMIjkは、ライトマスク動作を指示するための信号であり、信号CRYPULijkは、制御されたタイミングで、列選択線を選択するための列選択信号であり、信号CRCFCLRijkは、シフトレジスタに対するラッチ動作のリセット信号である。信号VPU-RSTは、パワーリセット信号である。

【0483】図55は、図54に示したプリデコード557の構成を説明するための概略ブロック図である。

【0484】プリデコード557は、アドレス変換およびバーストカウンタ回路554およびアドレスレシーバおよびラッチ回路550からの列アドレス信号のうち、第1ビット目の列アドレス信号CA1およびその相補信号CA1B、第2ビット目の列アドレス信号CA2およびその相補信号CA2B、第3ビット目の列アドレス信号CA3およびその相補信号CA3B、第4ビット目の列アドレス信号CA4およびその反転信号CA4Bのうちのいずれかを、それぞれ選択的に受ける演算回路4010. 0~4010. 15を含む。

【0485】たとえば、演算回路4010. 0は、信号CA1B、信号CA2B、信号CA3Bおよび信号CA4Bを受け、信号CA1、信号CA2、信号CA3および信号CA4がすべて“L”レベルであるときに、出力信号を活性化する構成となっている。

【0486】その他の演算回路についても入力されるアドレス信号が異なるのみで、その基本的構成は同様である。

【0487】図56は、図55に示した演算回路のうち、演算回路4010. 15の構成を示す回路図である。

【0488】演算回路4010. 15は、信号CA1および信号CA2を受けるNAND回路4012と、信号CA3および信号CA4を受けるNAND回路4014と、NAND回路4012および4014の出力を受けて、プリデコード結果を出力するNOR回路4016とを含む。

【0489】図57は、図54に示したプリデコード回路556. 2の構成を示す概略ブロック図である。なお、プリデコード回路556. 1の構成も、入力される信号が異なるのみで、基本的にはプリデコード回路556. 2の構成と同様である。

【0490】図57を参照して、プリデコード回路556. 2は、アドレスレシーバおよびラッチ回路550からの、第7ビット目の列アドレス信号CA7ijkおよびその相補信号CA7Bijk、第8ビット目の列アド

レス信号CA8ijkおよびその相補信号CA8Bijkとが、それぞれ選択的に入力される演算回路4020～4026を含む。

【0491】演算回路4020は、たとえば、信号CA7Bijkおよび信号CA8Bijkとを受ける。すなわち、演算回路4020は、信号CA7ijkおよび信号CA8ijkがともに“L”レベルであるときに、プリデコード信号として活性レベルの信号を出力する。

【0492】その他の演算回路4022～4026も、入力される信号が異なるのみで、その基本的な構成は同様である。

【0493】図58は、図57に示した演算回路4020～4026のうち、演算回路4026の構成を示す回路図である。

【0494】演算回路4026は、信号CA7ijkおよび信号CA8ijkを受けるNAND回路4030と、NAND回路4030の出力を受けて反転してプリデコード結果を出力するインバータ4032とを含む。

【0495】以上の構成により、正規のメモリ領域に対して、アドレスバス50cにより低振幅伝送されたアドレス信号が、アドレスレシーバおよびラッチ回路550に取込まれラッチされた後、プリデコードされて対応するシフトレジスタ560に与えられる。

【0496】〔シフトレジスタの構成〕図59は、図54に示したシフトレジスタ560.0の構成を説明するための概略ブロック図である。

【0497】シフトレジスタ560.0は、プリデコード557からのプリデコードされた列アドレス信号CFLIijk(15:0)を受けるレジスタ4500.0～4500.15と、シフトレジスタ制御信号生成部4502とを含む。

【0498】シフトレジスタ制御信号生成部4502は、接地電位レベルの信号CRNY0ijkを受けるインバータ4510と、信号CRYSELijをバッファ回路3002でバッファ処理した信号CRYPULijkを受けて反転して出力するインバータ4512と、インバータ4512の出力を受けて信号CRCYPとして出力するインバータ4514と、インバータ4514の出力を受けて信号CRCYPBとして出力するインバータ4516とを含む。シフトレジスタ制御信号生成部4502は、さらに、信号CRCWTEijkを受けるインバータ4518と、インバータ4512の出力およびインバータ4518の出力を受けて信号CRCREBとして出力するNAND回路4520と、NAND回路4520の出力を受けて信号CRCREを出力するインバータ4522と、信号CRCWTEijkとインバータ4512の出力を受けて信号CRCWEBを出力するNAND回路4524と、NAND回路4524の出力を受けて反転し、信号CRCWEとして出力するインバータ4526と、信号CRSCLijkを受けて信号CR

SFTBを出力するインバータ4530と、インバータ4530の出力を受けて、信号CRSFTを出力するインバータ4532と、信号CRCFCLRijkを受け、信号CFCLRを出力するインバータ4534とを含む。

【0499】図60は、図54に示したシフトレジスタ560.1の構成を説明するための概略ブロック図である。

【0500】シフトレジスタ560.1は、プリデコード556.1からの信号CFLIijk(3:0)をそれぞれが受けるレジスタ部4600.0～4600.3と、シフトレジスタ制御信号生成部4610とを備える。

【0501】シフトレジスタ制御信号生成部4610は、信号CRYPULijkを受けるインバータ4620と、インバータ4620の出力を受けて、信号CRCYPを出力するインバータ4622と、インバータ4622の出力を受けて、信号CRCYPBを出力するインバータ4624と、信号CRCWTEijkを受けるインバータ4630と、インバータ4630およびインバータ4620の出力を受けて、信号CRCREBを出力するNAND回路4632と、NAND回路4632の出力を受けて信号CRCREを出力するインバータ4634と、インバータ4620およびインバータ4630の出力を受けて、信号CRCWEBを出力するNAND回路4636と、NAND回路4636の出力を受けて、信号CRCWEを出力するインバータ4638とを含む。

【0502】シフトレジスタ制御信号生成部4610は、さらに、信号CRSCLijkを受けて、信号CRSFTBを出力するインバータ4640と、インバータ4640の出力を受けて、信号CRSFTを出力するインバータ4642と、信号CRWMIjkと信号CRCFCLRijkとを受けるNOR回路4644と、NOR回路4644の出力を受けて、信号CRWM(ライトマスク動作を指示するための信号)を出力するインバータ4646とを含む。

【0503】図61は、図54に示したシフトレジスタ560.2の構成を説明するための概略ブロック図である。

【0504】シフトレジスタ560.2は、プリデコード556.2からの信号CFLIijk(3:0)をそれぞれが受けるレジスタ部4700.0～4700.3と、シフトレジスタ制御信号生成部4710とを備える。

【0505】シフトレジスタ制御信号生成部4710は、信号CRYPULijkを受けるインバータ4720と、インバータ4720の出力を受けて、信号CRCYPを出力するインバータ4722と、インバータ4722の出力を受けて、信号CRCYPBを出力するイン

バータ4724と、信号CRCWTEijkを受けるインバータ4730と、インバータ4730およびインバータ4720の出力を受けて、信号CRCREBを出力するNAND回路4732と、NAND回路4732の出力を受けて信号CRCREを出力するインバータ4734と、インバータ4720およびインバータ4730の出力を受けて、信号CRCWEBを出力するNAND回路4736と、NAND回路4736の出力を受けて、信号CRCWEを出力するインバータ4738とを含む。

【0506】シフトレジスタ制御信号生成部4710は、さらに、信号CRSCLijkを受けて、信号CRSFTBを出力するインバータ4740と、インバータ4740の出力を受けて、信号CRSFTを出力するインバータ4742とを含む。

【0507】信号CRCFLRijkは、信号CRWM（ライトマスク動作を指示するための信号）および信号CFCLRとして、レジスタ部4700.0～4700.3に与えられる。

【0508】以上説明したシフトレジスタ回路560.0、560.1および560.2におけるレジスタ部4500.0～4500.15、レジスタ部4600.0～4600.3、レジスタ部4700.0～4700.3の構成はいずれも入力される信号が異なるのみで、その基本的な構成は同様である。

【0509】図62は、レジスタ部4600.0の構成を説明するための概略ブロック図である。

【0510】図62を参照して、レジスタ部4600.0は、信号CFLIijk（3:0）のうち、対応するビットの信号のCFLINと、信号CRSFTBおよび信号CRSFTと、信号CFCLRとを受ける第1のレジスタ回路4800と、信号CRSFTBおよび信号CRSFTと信号CFCLRならびに信号CRWMとを受ける第2のレジスタ回路4810と、第2のレジスタ回路の出力と、信号CFLINとを受けて、信号CRCREBおよびCRCE、信号CRCWEBおよび信号CRCWEおよび信号CRCYPBおよび信号CRCYPとに制御されて、いずれかを選択的に出力するマルチプレクサ4820とを含む。

【0511】図63は、図62に示した第1のレジスタ回路4800の構成を説明するための回路図である。

【0512】第1のレジスタ回路4800は、信号CFLINを受け、信号CRSFTおよびその相補信号CRSFTBとにより制御されるクロックトインバータ回路4850と、クロックトインバータ回路4850の出力と、信号CFCLRとを受けるNOR回路4852と、NOR回路4852の出力を受けて、信号CRSFTおよび信号CRSFTBとによりクロックトインバータ回路4850とは相補的に動作するクロックトインバータ回路4854と、NOR回路4852の出力を受け、信

号CRSFTおよびその相補信号CRSFTBとにより制御されるクロックトインバータ回路4860と、クロックトインバータ回路4860の出力と、信号CFCLRとを受けて信号CFGOUTを出力するNOR回路4862と、NOR回路4862の出力を受けて、信号CRSFTおよび信号CRSFTBとによりクロックトインバータ回路4860とは相補的に動作するクロックトインバータ回路4864とを含む。

【0513】図64は、図62に示した第2のレジスタ回路4810の構成を説明するための回路図である。

【0514】第2のレジスタ回路4810は、信号CFGOUTを受け、信号CRSFTおよびその相補信号CRSFTBとにより制御されるクロックトインバータ回路4950と、クロックトインバータ回路4950の出力と、信号CFCLRとを受けるNOR回路4952と、NOR回路4952の出力を受けて、信号CRSFTおよび信号CRSFTBとによりクロックトインバータ回路4950とは相補的に動作するクロックトインバータ回路4954と、NOR回路4952の出力を受け、信号CRSFTおよびその相補信号CRSFTBとにより制御されるクロックトインバータ回路4960と、クロックトインバータ回路4960の出力と、信号CRWMとを受けて信号CFGOUTを出力するNOR回路4962と、NOR回路4962の出力を受けて、信号CRSFTおよび信号CRSFTBとによりクロックトインバータ回路4960とは相補的に動作するクロックトインバータ回路4964とを含む。

【0515】図65は、図62に示したマルチプレクサ回路4820の構成を説明するための回路図である。

【0516】マルチプレクサ回路4820は、信号CFLINを受け、信号CRCREおよびその相補信号CRCREBとにより制御されるクロックトインバータ回路5002と、第2のレジスタ回路4810からの出力信号の信号CFGOUTを受け、信号CRCWEおよびその相補信号の信号CRCWEBとにより制御されるクロックトインバータ回路5004と、クロックトインバータ回路5002および5004の出力を受けるインバータ5006と、インバータ5006の出力を受けて、信号CRCYPおよびその相補信号の信号CRCYPBとにより制御されて、インバータ5006の入力ノードに与えるクロックトインバータ5008と、インバータ5006の出力を受けるインバータ5010と、インバータ5010の出力を受けて、シフトレジスタ回路の出力信号の信号CFLとして出力するインバータ5012とを含む。

【0517】〔データ入出力部の詳細構成〕図66は、データ入出力端子DQ0に対応する入出力回路6000の構成を示す回路図である。

【0518】図66を参照して、アドレスバスEVEN0は、バンク0～バンク3の偶数アドレス領域に接続さ

れるデータバスであり、アドレスバスODD0は、バンク0～バンク3の奇数アドレス領域に接続されるデータバスである。また、アドレスバスEVEN1は、バンク4～バンク7の偶数アドレス領域に接続されるデータバスであり、アドレスバスODD1は、バンク4～バンク7の奇数アドレス領域に接続されるデータバスである。

【0519】入出力回路6000は、選択されたバンクおよび出力する最初のデータに相当するアドレスが偶数であるか奇数であるかに応じてアドレスバスEVEN0、ODD0、EVEN1およびODD1のうちいずれか1つを選択しアドレスバスから伝達されたデータをレシーバ活性化信号R-ENに応じて出力するリードデータレシーバ回路6142、6143と、リードクロックRCLK(c t r)でシフト動作を行ないセレクト信号を出力するシフトレジスタ6162と、シフトレジスタ6162の出力するセレクト信号に応じてそれぞれリードデータレシーバ6142、6143が出力するデータを内部に取込むラッチ回路6146、6148を含む。

【0520】入出力回路6000は、さらに、DDR-SDRAMモードでは、外部クロック信号の2倍周波数のクロック信号から偶数番目の活性化部分のみを抽出したクロック信号CL_eと、奇数番目の活性化部分のみを抽出したクロック信号CL_oとを受けてCASレイテンシおよびモードレジスタの設定に応じてデータ出力用クロックCK1、CK2として入出力回路内部に伝達するスイッチ6166と、出力クロックCK2に応じてデータをシフトするシフトレジスタ6164と、出力クロックCK1に応じてデータをシフトするシフトレジスタ6172とを含む。ラッチ6146、6148はそれぞれシフトレジスタ6172、6164の出力に応じてラッチしたデータを選択し出力する。

【0521】入出力回路6000は、さらに、イネーブル信号OEによって活性化されデータを端子DQ0に対して出力する出力バッファ1072bと、出力クロックCK1の活性化に応じてラッチ6148の出力を出力バッファ1072bに与えるスイッチ6168と、出力クロックCK2の活性化に応じてラッチ6146の出力を出力バッファ1072bに与えるスイッチ6170とを含む。

【0522】入出力回路6000は、さらに、端子DQ0に外部から入力されたデータをイネーブル信号WEに応じて増幅して入力する入力バッファ1072aと、信号FCおよび信号/F Cにそれぞれ応じて入力バッファ152の出力を内部に伝達するスイッチ6176、6178と、信号/F Cをシフトクロックとして受けセレクト信号を出力するシフトレジスタ6174と、信号/F Cをシフトクロックとして受けセレクト信号を出力するシフトレジスタ6180と、シフトレジスタ6174が出力するセレクト信号に応じて、スイッチ6176を介して伝達された信号を取込むラッチ6156と、シフト

レジスタ6180が出力するセレクト信号に応じてスイッチ6178が伝達する信号を取込むラッチ6154とを含む。

【0523】入出力回路6000は、さらに、ライトクロックWCLK(l o c)をシフトクロックとして受けセレクト信号を出力するシフトレジスタ6182と、シフトレジスタ6182が出力するセレクト信号に応じてラッチ6154、6156が出力するデータを受けるマルチプレクサ回路6158とをさらに含む。マルチプレクサ回路6158は受けたデータを書込むバンクおよび最初に外部より受け取ったデータを書込むアドレス(ファーストアドレス)が偶数であるか奇数であるかに応じてデータバスEVEN0、ODD0、EVEN1、ODD1にデータを分配して出力し、選択されたバスをドライブする。

【0524】動作を簡単に説明すると、バンク0～バンク3の偶数アドレス領域、奇数アドレス領域からくるデータまたはバンク4～バンク7の偶数アドレス領域、奇数アドレス領域からくるデータのいずれかがレシーバ6142、6143の入力部に設けられた4点スイッチ部分で区別され、取込まれる。

【0525】ここにはバンクの上位/下位を区別する信号と、バースト読出時の最初のアドレスが偶数アドレスか奇数アドレスかを示す信号が入力される。レシーバ6143、ラッチ6148、スイッチ6168の設けられている経路が最初に出力されるデータの経路でありレシーバ6142、ラッチ6146、スイッチ6170の設けられている経路が2番目のデータが出力される経路である。

【0526】レシーバ6143、6142の入力部のスイッチを経たデータはアンプで増幅されラッチ6148、6146の入力部のセクタ部分に転送される。ここで、セクタはラッチに含まれる4経路のうち1つを選択する。この経路の選択は、セレクト信号をラッチに入力するシフトレジスタ6162に与えられるリード用の内部クロックRCLK(c t r)に応じて順次シフトされ、入力されてきたデータは順次ラッチされる。

【0527】ラッチに格納されたデータは、ラッチに入力されたときのクロックと異なるクロックを基準として出力される。出力側のクロックCL_e、CL_oに応じてシフト動作を行なうシフトレジスタ6164、6172が出力するセレクト信号によって順次、ラッチの出力側の選択経路がシフトする。出力データのうち奇数番目に出すデータがラッチ6148に格納されており、偶数番目に出力するデータがラッチ6146に格納されている。したがって、リードコマンドを認識したリードクロックRCLK(c t r)からデータを外部に出力するまでのレイテンシにより、クロックCL_eとクロックCL_oのいずれかがスイッチ6168に制御信号として入力されるかが決まり、スイッチ6170には他方のクロック

が制御信号として入力される。たとえば、レイテンシが、1.5ならばクロックCLKがスイッチ6168に制御信号として入力され、クロックCLKがスイッチ6170の制御信号として入力される。

【0528】ライト時には、外部より最初に入力されるデータは無条件にラッチ6156に転送され、次に入力されるデータは無条件にラッチ6154に転送され、以降ラッチ6156、6154に交互にデータが転送される。

【0529】ラッチされたデータは、ライト用の内部クロックWCLK (loc) に応じマルチプレクサ回路6158に伝達される。マルチプレクサ回路6158はバンクアドレスとバーストデータの最初のアドレスに応じて対応するデータバスにデータを出力する。

【0530】このように、読出データが一旦レジスタ6146、6148に取込まれてから外部に出力され、また、書込みデータがレジスタ6154、6156に取込まれてから、メモリセルアレイに与えられる構成となっているので、SDR-SDRAM動作モードで動作する場合と、DDR-SDRAMとして動作する場合とで、クロック信号CK1、CK2またはクロック信号FC、/FCの周期を変更すれば、内部回路は、いずれの動作モードでも同一の周期のクロックに基づいて動作させることが可能である。

【0531】なお、実施の形態4では、DDR-SDRAMとSDR-SDRAMとを買い路上で切換えて動作する構成としたが、このような回路変更の構成は、このような2種類の回路動作に限定されるものではなく、実施の形態1および2と同様、より一般的にクロック信号を切換えて動作することが必要なチップにも適用できる。

【0532】〔実施の形態5〕図67は、DDR-SDRAM動作モードでの動作波形を示すタイミングチャートである。

【0533】時刻t0における外部クロック信号ext. CLKの立上りのエッジにおいて、チップセレクト信号/CS、ロウアドレスストローブ信号/RASが活性状態（“L”レベル）であり、信号/CASおよび信号/WEが不活性状態（“H”レベル）であることに応じて、ACTコマンドが指定され、同時に、バンクセレクト信号BA1が活性化し、アドレス信号Addが所定のスタートアドレスを与えることにより、メモリセルアレイ中のメモリセルの選択が指示される。

【0534】時刻t0における外部クロック信号ext. CLKの活性化エッジにตอบสนองして、アドレス信号をラッチすることを指示するAdd. ラッチ信号が活性状態（“H”レベル）、一方、プリデコーダのドライバ制御信号PDDRvが活性化することによってプリデコードラインPDLも活性状態となる。信号BA0と信号BA1とが（0, 1）であることに応じて、バンクB3

が選択され、デコードされたバンク信号B3が活性状態となる。

【0535】一方、信号/RASが活性状態となることに応じて、コマンドデータバス上の信号Rowが活性状態となり、活性化されたバンクに対応したローカル制御回路の信号ACTが活性状態となるのに応じて、バンクB3に対する行系動作の活性化を指示するRフラグが活性状態となる。

【0536】Rフラグの活性化に応じて、イコライズ信号EQが不活性状態となり、与えられた行アドレス信号に応じてメインワード線（MWL）が活性化されて、センスアンプの活性化に応じて、選択された行に属するメモリセルからの読出データに応じて、ビット線対（BL, /BL）の電位レベルがセンスアンプにより増幅される。

【0537】時刻t1における外部クロック信号ext. CLKの立上りのエッジにおいて、信号/CS、信号/CASが活性状態であって、信号/WEが不活性状態であることに応じて、読出モードが指定され、このとき、列アドレスの取込が行なわれる。アドレスのラッチ動作を制御する信号Add. LATCHは不活性状態となる。プリデコーダ線のドライバ制御信号は不活性状態となり、選択されたバンクB3に対して、コマンドバスから列系の動作を指示するための信号C1mがワンショットパルスとして伝達される。信号C1mに応じて、バンクB3における列系の動作を示すCフラグが活性状態となり、バーストアドレスカウンタから列アドレスが出力される。これに応じて、列系のプリデコードラインC-PDLからプリデコード信号が出力されるとともに、冗長列に対しての選択信号も活性化される。プリデコード信号C-PDLに応じて、列選択信号YSが活性化し、これに応じて、選択されたメモリセル列からのデータが読出され、データバスに伝達される。

【0538】時刻t1から時刻t2までの期間において、2回列選択信号YSが活性化することで、読出されたデータは、時刻t2における外部クロック信号ext. CLKの活性化のエッジから、外部クロック信号ext. CLKの立上りのエッジおよび立下りのエッジにそれぞれตอบสนองしてチップ外部に出力される。

【0539】時刻t3における外部クロック信号ext. CLKの立上りのエッジにおいて、信号/CS、信号/RAS、信号/CAS、信号/WEがすべて活性状態であることに応じて、選択されたバンクに対するプリチャージ動作が指示される。時刻t3において、バンクアドレス（BA0, BA1）が（0, 1）であることに応じて、バンクB3に対してプリチャージ動作が指示され、バンクB3に対するローカル制御回路中のプリチャージ信号PCがワンショットパルスとして活性化される。これに応じて、イコライズ動作を指示するためのイコライズ信号EQが活性状態となる。

【0540】図68は、本実施の形態の同期型半導体記憶装置において、ファーストアクセスまでの時間を短縮させることが可能な特殊動作モードでの動作波形を示すタイミングチャートである。

【0541】以後、この動作モードをサーバモードと呼ぶことにする。本実施の形態の同期型半導体記憶装置の構成は、以下に説明するように、アドレス信号の入力部の構成、メモリセルアレイの分割の構成、メインワード線とサブワード線の配置、列選択線YSの構成、ビット線からI/O線への信号伝達部の構成、センスアンプ活性化信号線の構成等を除いて、基本的に実施の形態3の同期型半導体の構成と同様である。

【0542】たとえば、ローカル制御系において、外部からのアドレス信号を受けて、メモリセル行の選択を行う行系回路と、メモリセル列の選択を行う列系回路とは、基本的に独立にアドレスバスからの信号とコマンドバスからの信号に応じて動作する。

【0543】サーバモードにおいては、クロックサイクルタイムの高速化はもちろん、ファーストアクセス時間の短縮を行なうことも可能である。

【0544】図68に示した例においては、信号/RA Sアクセスが入力される外部クロック信号ext. CLKの時刻t0における立上がりエッジ直後の時刻t2における外部クロック信号ext. CLKの立下がりエッジにおいてコラムアクセスコマンドの入力を行なう。

【0545】これにより、通常のSDRAM動作モードに対し、より早いタイミングでコラムアドレスを同期型半導体記憶装置に与えられることとなり、同期型半導体記憶装置が特定のメモリセルにアクセスするために必要となる全アドレスがより早いタイミングですべて揃うことになる。

【0546】したがって、この全アドレスに対応して、メモリセルアレイの側を細分化することで、センス動作にかかる時間的、あるいは回路動作に必要なとされる電流値の負荷を軽減することで、通常の動作に比べ高速動作を行なうことが可能となる。

【0547】また、コラムアドレスの処理にかかる信号をロウアドレスの処理にかかる時間にオーバーラップさせることで、クロックでのトリガに対するコラムアクセスの開始タイミングを前倒しすることが可能となる。

【0548】さらに、アレイの構成をリードゲート方式とすることにより、コラムのアクセス開始をセンス開始にとらわれず前倒しすることができるので、読出動作の高速化も同時に図ることが可能となる。

【0549】すなわち、時刻t1における外部クロック信号ext. CLKの立下がりのエッジにおいて、列アドレス信号の取込が行なわれた後、行系のプリデコードラインのドライブ信号PDDR Vが活性状態であって、行系のプリデコードラインが活性状態となっている期間中において、既にバーストアドレスカウンタから出力され

る内部列アドレス信号C-ADDに応じて、冗長メモリセル列への選択信号および列アドレスのプリデコードラインC-PDLの活性化が行なわれる。一方、行アドレスに対するプリデコードラインPDLの活性化に応じて、メインワード線およびバンク選択線を活性化するためのワンショットパルスが活性状態（“H”レベル）となり、これに応じて、サブワード線SWLの選択が行なわれる。センスアンプの活性化もワンショットパルスの信号SEの活性化により指示され、選択されたメモリセルブロックに対応するセンスアンプ活性化出願公告SSEは信号SEの活性化に応じて活性状態となる。センスアンプ活性化信号SSEが活性化する時点では、既に列方向のプリデコードラインC-PDLの活性化に応じて、列選択線YSが活性化し、ビット線対とI/O線対との接続が行なわれている。

【0550】しかしながら、ビット線対とI/O線対とはリードゲートにより信号はデータ伝達されるものの、直接に接続される構成となっていないため、センスアンプによって、ビット線対の電位レベルがサブワード線の活性化に応じて変化し始め、かつフルスイングした時点でビット線対からI/O線対へのデータ伝達が完了する。

【0551】すなわち、時刻t2における列選択信号YSの立下がりのエッジにおいて、既にビット線対BL、/BLからI/O線対へのデータ伝達が完了している。この時刻t2において読出されたデータは、時刻t3における外部クロック信号ext. CLKの立下がりのエッジにおいて、データ入出力端子DQに出力される。

【0552】続いて、時刻t4における外部クロック信号ext. CLKの立上りのエッジにおいて、時刻t2において読出されたデータがデータ入出力端子DQに出力される。

【0553】さらに、時刻t2から時刻t3の期間において、バーストアドレスカウンタから出力される内部アドレス信号C-ADDに応じて、他の列選択が行なわれ、読出されたデータは、時刻t5における外部クロック信号ext. CLKの立下がりのエッジおよび時刻t5における外部クロックext. CLKの立上りのエッジにおいてデータ入出力端子DQに与えられる。

【0554】時刻t5において、オートプリチャージ動作が開始され、コマンドバスを伝達する内部コントロール信号のうち信号PCが活性状態となる。これに応じて、イコライズ信号EQが活性状態（“H”レベル）となって、ビット線対BL、/BLのイコライズ動作が行なわれる。

【0555】一方、信号PCの活性化に応じて、リセット選択線が時刻t4から時刻t5の期間において活性状態となる。

【0556】書込動作においては、時刻t10における外部クロック信号ext. CLKの立上りのエッジに

において、信号／CS、信号／RASが活性状態（“L”レベル）であって、信号／CASおよび信号／WEが不活性状態であることに応じて、ACTコマンドが与えられる。このとき、バンクアドレス（BA0，BA1）が（0，1）であることに応じて、バンクB3が選択される。同時に、時刻t10において、行アドレス信号Addが与えられる。

【0557】アクトコマンドの入力に応じて、アドレスラッチ信号Add、ALTCHが活性状態となり、アドレス信号がラッチされる。一方、ACTコマンドが与えられることにより、行系回路に対するプリデコードラインのドライバを活性化するための信号PDDRvが活性状態となって、これに応じて、行系回路に対するプリデコードラインが活性状態となる。一方、バンクB3が選択されたことに応じて、バンクアドレスバスのうち、バンクB3に対応する信号線が活性状態となる。コマンドバスにおいては、行系の動作を指示するためのワンショットパルス信号Rowが活性状態となって、これに応じて、行系のローカル制御回路中の信号ACTが活性状態となって、行系動作を指示するためのRフラグが“H”レベルとなる。

【0558】引続いて、時刻t11における外部クロック信号ext. CLKの立下がりのエッジにおいて、信号／CS、信号／CASおよび信号／WEが活性状態（“L”レベル）であって、信号／RASが不活性状態であることに応じて、書込動作が指示される。この時刻t11において、バンクアドレス信号（BA0，BA1）として（0，1）が与えられ、列アドレス信号Addとともに最初の書込データDQ0が与えられる。

【0559】一方、時刻t11における外部クロック信号ext. CLKの立下がりのエッジにおいて信号／CASが活性状態であったことに応じて、コントロールバス上の信号C1mが活性状態となって、列系動作がバンクB3に対応する列系回路に指示される。

【0560】これに応じて、列系動作の活性状態を指示するためのフラグ信号Cフラグが活性状態となって、バンクB3に対応する列系回路においては、バーストアドレスカウンタにより列アドレスが生成される。この列アドレスC-ADDは、冗長回路に与えられ、冗長判定および冗長列の選択が行なわれるとともに、書込動作における所定のレイテンシ経過後の時刻t13における外部クロック信号ext. CLKの立下がりエッジにおいて、列系回路に対するプリデコード線C-PDLが活性状態とされる。

【0561】これに応じて、列選択信号YSが活性状態となって、I/O線対を介して伝達された書込データが、ビット線対BL、／BLに伝達される。

【0562】続いて、時刻t14における外部クロック信号ext. CLKの立下がりのエッジにおいて、他のメモリセル列を選択するための列選択信号YSが活性状

態となって、時刻t13以降に入力された書込データが選択されたメモリセルに伝達される。

【0563】時刻t15において、外部クロック信号ext. CLKが立上ることに応じて、オートプリチャージ動作の開始が指示され、コマンドバス上の信号PCが活性状態となり、これに応じて選択されたバンクについてイコライズ信号EQが活性状態となり、プリチャージ動作が行なわれる。一方で、リセット選択線が活性化することに応じて、センスアンプの活性化を指示する信号SSEの状態が“L”レベルに復帰する。

【0564】図69は、本実施の形態におけるメモリセルアレイの構成を示す概略ブロック図である。

【0565】メモリセルアレイは、センスアンプ帯とサブワードドライバ帯に囲まれたメモリセルアレイ単位に細分化されている。上述したサーバモードでの活性化の単位は、このメモリセルアレイ単位となる。

【0566】メインワード線MWLは、各メモリセルアレイ単位を跨いで設けられ、活性化させる必要のあるサブワードドライバSWDを活性化させる。サブワードドライバSWDの活性化に応じて、対応するサブワード線SWLが活性化される。センスアンプはメモリセルアレイ単位を挟んで交互に配置される構成となっている。一方、活性化させる領域化（バンク）の選択線とセンス選択線が交差する領域に属するセンスアンプが活性化される。

【0567】メモリセルアレイ単位のワード線方向に沿ってセンスアンプ帯を横切るようにセグメントYS線が配置される。

【0568】メモリセルアレイ単位からのデータの読出は、セグメントYSが活性化されることにより、セグメントYSと活性化される領域のバンク選択線が交差する領域が活性化される。活性化された領域（バンク）からは、後説明するように、4センスアンプごとに1データが読出される構成となっている。

【0569】この読出データは、メモリセルアレイ上をワード線とは直交する方向に走るデータ線ペアを通じて、読出／書込アンプ（以下、R／Wアンプ）に伝達される。その後、周辺回路上やデータバス領域を介して、データ出力部に伝達される。あるいは、メモリ／ロジック混載チップである場合は、データバス領域を介して、ロジック部にデータが伝達される。

【0570】図70は、行アドレスおよび列アドレスが入力された場合に、動作モードに応じて、アドレス信号の伝達されるタイミングを調整するためのアドレス信号の伝達経路を説明するための概略ブロック図である。

【0571】図70に示した回路は、外部クロック信号ext. CLKに応じて内部同期信号生成回路（図示せず）により生成された内部クロック信号int. CLKに基づいて動作する。

【0572】アドレス信号入力端子7000から入力さ

れた信号は、外部から与えられる制御コマンドにより、行アドレスが与えられている場合、スイッチ回路7010が導通状態となって、ラッチ回路7030に取込まれ、ロウアドレスに対するプリデコード処理等が処理回路7040においてなされた後に、アレイ部へ伝達される。

【0573】一方、通常動作モードにおける列アドレスの入力は、外部からのコマンド信号により列アドレスの取込が指示されると、スイッチ回路7020が導通状態となり、ラッチ回路7050に取込まれ、プリデコード処理あるいは冗長判定処理等が処理回路7060において行なわれ、スイッチ回路7070を介してアレイ部へ伝達される。

【0574】一方、上述したようなサーバモードにおいては、列アドレスの入力がコマンド信号により指定された場合、スイッチ回路7020を介して、ラッチ回路7080にアドレス信号が取込まれ、処理回路7090による処理結果がアレイ部へと伝達される。このとき、動作モードに応じて、ラッチ回路7050および処理回路7060の動作が停止される。

【0575】このような構成とすることで、通常動作モードにおいては、ラッチ回路7050に取込まれ、処理回路7060において処理された列アドレスは、スイッチ回路7070（あるいはシフト回路）等により調整されたタイミングでアレイ部へ伝達されるのに対し、サーバモードにおいては、アドレス信号が入力された後、ラッチ回路に保持されて処理回路7090により処理された後は、直ちにアレイ部へ伝達されることになる。

【0576】図71は、サブワード線の活性化に伴うアレイのバンク区分を示す概略ブロック図である。

【0577】図11に示した例においては、ドライバ回路8000中のラッチ回路8002はメインワード線からの信号と、選択線SLからの信号とを受けて活性化されその活性状態を保持し、リセット線RSLからの信号によりリセットされる。ラッチ回路が活性状態となることに応じて、サブワードドライバSDRは、対応するサブワード線SWLを活性状態とする。

【0578】一方、ドライバ回路8000は、リセット線RSLに応じてその保持状態をリセットされ、これに応じてサブワードドライバSDRがサブワード線SWLを駆動する動作もリセットされる。

【0579】図71においては、1本のメインワード線MWLに対して、4本のサブワード線が対応し、かつ1つのサブワードドライバ帯BSDR_nに属するサブワードドライバSDRにより活性化されるサブワード線SWLと、隣のサブワードドライバ帯BSDR_{n+1}により活性化されるサブワード線SWLとは交互に配置される構成となっている。

【0580】通常のSDRM動作においては、メインワード線MWLが活性化される領域すべての選択線SLが

活性化され、これに応じて図69に示したワード線方向に連なるメモリセルアレイ単位のこのメインワード線MWLに対応するサブワード線がすべて選択状態とされる。

【0581】一方、サーバモードにおいては、部分的に、すなわち図69に示した特定のメモリセルアレイ単位に対応したサブワードドライバ帯BSDR_nに属する選択線SLのみが活性化される。

【0582】以上のような構成では、サブワードドライバSDR（SWD）の両側にサブワード線SWLが存在し、アレイを挟んで交互配置的にサブワードドライバSWDが存在している。そのため、各バンクの境界は、図71で斜線で囲んだ部分となる。このような構成では、隣接したバンク間でセンスアンプを共有化する構成となっているため、隣接しているバンク間において同時にセンスアンプが活性化しないように動作される。

【0583】図72は、図71に示したサブワードドライバ帯BSDR_nの詳細な構成を示すための回路図である。

【0584】ドライバ回路8000は、ゲートがバンク選択線BSLにより制御され、メインワード線と内部ノードn1との間に設けられる選択トランジスタ8100と、ノードn1にゲートが接続し、選択線SLのうちの1つのSL0とサブワード線SWLとの間に接続されるトランジスタ8102と、ゲート電位が、トランジスタ8102と同じ選択線SL0により制御され、サブワード線SWLとノードn1との間に接続されるトランジスタ8104を含む。また、リセット線RSL0によりゲート電位が制御され、サブワード線と接地電位との間に設けられるトランジスタ8106をさらに含む。

【0585】他のメインワード線およびサブワード線についても同様の構成が存在する。このような構成とすることで、メインワード線が活性化し、バンク選択線が活性化しかつ選択線SLが活性することで、対応するサブワード線SWLが活性状態（高電位）とされ、リセット線が活性化することで、対応するサブワード線SWLが接地電位に放電される。

【0586】図73は、センスアンプの制御系の構成を示す概略ブロック図である。バンク選択線BSLとセンス選択線SSLとが選択されると、AND回路8200を介してフリップフロップ回路8202が活性状態にセットされ、これに応じて、対応するセンスアンプも活性状態となる。

【0587】一方、プリチャージ選択線PSLおよびバンク選択線が活性状態となることで、AND回路3204からの出力が“H”レベルとなることで、フリップフロップ回路8202がリセットされ、選択されたバンクに対応するセンスアンプは不活性化する。

【0588】このプリチャージ選択線の活性化による選択動作に応じて、センスアンプはプリチャージされる。

【0589】図74は、センスアンプ部とデータ線部との接続を行なう構成を示す回路図である。

【0590】センスアンプの入出力ノードはゲート受けトランジスタ8400および8402を介してデータ線ペアDL、/DLを介してデータ信号が伝達される構成となっている。

【0591】すなわち、トランジスタ8400および8402のソースはリードソース線RGLにより選択的に接地電位とされ、トランジスタ8400および8402のゲートは、それぞれ対応するセンスアンプS/Aの入出力ノードと接続し、トランジスタ8400および8402のドレインは、それぞれ対応するデータ線ペアDL、/DLに接続する構成となっている。

【0592】図74に示した構成においては、4つのセンスアンプが1つのデータ線ペアDL、/DLを共有する構成となっている。

【0593】一方、データ線ペアDL、/DLは、書込動作時には、対応するビット線BLとデータ線DLとの間およびビット線/BLと対応するデータ線/DLとの間にそれぞれ接続されるトランジスタ8500および8502により、選択的に接続される構成となっている。

【0594】すなわち、ビット線対BL0、/BL0～BL3、/BL3にそれぞれ対応するセンスアンプS/A0～S/A3の入出力ノードは、それぞれ対応するメインライト線MWRL0～MWRL3によりゲート電位が制御されるトランジスタ8500および8502により、選択的にデータ線ペアDL、/DLに接続される構成となっている。

【0595】図69に示したセグメントYSには、プリチャージ選択線PSL、センス選択線SSL、リードソース線RGL（リードソース線RGL0～RGL3を総称）、メインライト線MWRL（メインライト線MWRL0～MWRL3を総称）等が含まれる。

【0596】以上のような構成とすることで、データの読出動作においては、データ線ペアDL、/DLと対応するセンスアンプの入出力ノードとは直接接続されず、トランジスタ8400および8402のゲートが、センスアンプの入出力ノードの電位レベルにより駆動されることで、データ線ペアDL、/DLのレベルが変化する構成となっているので、列アドレス信号によるメモリセル列の選択、すなわち、リードソース線RGL0～RGL3のうちのいずれかの選択動作がセンスアンプによる増幅動作とオーバーラップし、あるいはそれに先行する場合でも、データが破壊されることなく読出動作が可能である。

【0597】このことは、上述したとおり読出動作の高速化が可能となることを意味する。さらに、センスアンプも限定された領域ごとに活性化すればよいので、動作電流ピーク値を抑制でき、消費電力の低下、雑音の低下等の効果を得ることができる。

【0598】〔実施の形態5の変形例〕実施の形態5では、図69に示したメモリセルアレイ単位ごとにサブワード線を活性化する構成となっていた。読出動作の高速化の観点からは、必ずしもこのような構成とすることは必要なく、ひとつのメインワード線により活性化されるサブワード線が一斉に活性化される構成とすることも可能である。

【0599】図75は、行アドレスおよび列アドレスが入力された場合に、動作モードに応じて、アドレス信号の伝達されるタイミングを調整するためのアドレス信号の伝達経路を説明するための概略ブロック図である。図70に示した構成と異なる点は、サーボモードにおいては、列アドレスの入力がコマンド信号により指定された場合、スイッチ回路7020を介して、ラッチ回路7050にアドレス信号が取込まれ、処理回路7060による処理結果が再び、ラッチ回路7100により保持されて、レイテンシクロックにより制御されるスイッチ回路7110が導通状態となることでアレイ部へと伝達される。

【0600】すなわち、行方向のメモリセルアレイ単位ごとに動作させる必要がないので、列系のアドレス信号の処理回路7060による処理結果を直ちにアレイ部に伝達する必要がないため、このような構成とすることが可能となる。

【0601】図76は、以上のような構成での動作を説明するためのタイミングチャートである。隣接するメモリセルアレイ単位が同時に活性化することがないので、図68の場合とは、メインワード線の活性化やセンスアンプの活性化信号がワンショットパルスとなっていないことを除いて、図68の動作と基本的に同様であるのでその説明は繰り返さない。

【0602】以上のような構成でも、読出動作の高速化が可能である。今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0603】

【発明の効果】請求項1ないし9、11ないし14記載の同期型半導体集積回路装置は、外部からの設定にしたがって、内部クロック信号の分配方式を変更できるので、システムの要求に応じて、外部クロック信号に対するチップ動作のマージンを柔軟に調整することが可能である。

【0604】請求項10記載の同期型半導体記憶装置は、請求項2または3記載の同期型半導体記憶装置の奏する効果に加えて、各バンクが位相差をもって動作することが可能で、動作マージンを向上させることが可能である。

【0605】したがって、高速な読出動作が可能になるだけでなく、多分割のアレイにおいて、アレイの分割の自由度を向上させ、システムの変化に対する最適なアレイ構成を実現できる。

【0606】請求項15ないし20記載の同期型半導体記憶装置は、高速な読出動作を行うことが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の同期型半導体記憶装置1000の構成を示す概略ブロック図である。

【図2】 SDRAM1000のシングルデータレート動作を説明するためのタイミングチャートである。

【図3】 SDRAM1000のダブルデータレート動作の概略を説明するためのタイミングチャートである。

【図4】 シングルデータレートSDRAMとDDR-SDRAMの動作仕様の違いを示す図である。

【図5】 DDR-SDRAM動作モードとSDR-SDRAM動作モードとの改良変更部をより詳細に説明するための図である。

【図6】 内部列アドレスの変化の様子をシーケンシャルモードおよびインタリーブモードのそれぞれについて示す図である。

【図7】 ユニディレクショナルモードにおけるシステムの構成を示す概略ブロック図である。

【図8】 バイディレクショナルモードのシステムの構成を示す概略ブロック図である。

【図9】 内部クロック生成回路1008の構成をより詳細に説明するための概略ブロック図である。

【図10】 シンクロナスマラーリレー回路166の動作を説明するためのタイミングチャートである。

【図11】 シンクロナスマラーリレー回路166の構成を示す概略ブロック図である。

【図12】 シンクロナスマラーリレー回路166の動作を説明するためのタイミングチャートである。

【図13】 データ入出力回路1086中のシリアルパラレル変換器900の構成を示す概略ブロック図である。

【図14】 データ入出力回路1086に含まれるパラレルシリアル変換回路950の構成を示す概略ブロック図である。

【図15】 スイッチング回路180～196の状態を説明するための第1の概略ブロック図である。

【図16】 スイッチング回路180～196の状態を説明するための第2の概略ブロック図である。

【図17】 スイッチング回路180～196の状態を説明するための第3の概略ブロック図である。

【図18】 本発明の実施の形態2の同期型半導体記憶装置2000の構成を示す概略ブロック図である。

【図19】 クロックツリー170および176の構成を示す概略ブロック図である。

【図20】 同期型半導体記憶装置2000における、

第2の内部クロック信号int. CLK2の入力端子へ分配する構成を示す概念図である。

【図21】 内部同期回路156の構成をより詳細に説明するための概略ブロック図である。

【図22】 アドレスバスおよびコマンドデータバスの構成を示す概略ブロック図である。

【図23】 ロウブリデコーダ36の構成を説明する概略ブロック図である。

【図24】 コラムブリデコーダ34の構成を示す概略ブロック図である。

【図25】 本発明の実施の形態3のSDRAMの構成の一部を示す概略ブロック図である。

【図26】 バンク100a、100bおよび100cおよび100dの部分のみを抜き出して示した図である。

【図27】 読出動作タイミングを説明するための図である。

【図28】 ライト動作のタイミングを説明するための図である。

【図29】 可変バーニア402～412の構成を示す概略ブロック図である。

【図30】 可変バーニア402の構成をより詳しく示す概略ブロック図である。

【図31】 遅延回路4022の構成を示す概略ブロック図である。

【図32】 可変遅延回路4050の構成を示す回路図である。

【図33】 SDRAMの構成を一部抜き出して示す図である。

【図34】 読出動作タイミングを説明するための図である。

【図35】 ライト動作のタイミングを説明するための図である。

【図36】 シングルデータレートとダブルデータレートとを切換えて動作可能な同期型半導体記憶装置の第1の構成の例を示す概念図である。

【図37】 シングルデータレートとダブルデータレートとを切換えて動作可能な同期型半導体記憶装置の第2の構成の例を示す概念図である。

【図38】 シングルデータレートとダブルデータレートとを切換えて動作可能な同期型半導体記憶装置の第3の構成の例を示す概念図である。

【図39】 バースト長を設定するためのモードレジスタ信号の切換を行なう構成を示す概念図である。

【図40】 図37に示した概念図に基づく同期型半導体記憶装置中の列アドレスカウンタの構成を示す概略ブロック図である。

【図41】 列系のローカル制御回路について、冗長回路部分の制御系も含めた構成を示す概略ブロック図である。

【図42】 アドレス処理部E2の構成を示す概略ブロック図である。

【図43】 アドレスレシーバおよびラッチ回路の構成を示す回路図である。

【図44】 アンプ回路3416の構成を示す回路図である。

【図45】 アドレス変換およびバーストカウンタ回路554の構成を示す概略ブロック図である。

【図46】 偶数アドレス変換回路3500の構成を説明するための回路図である。

【図47】 偶数カウンタ554cの構成を説明するための概略ブロック図である。

【図48】 第2内部カウンタ3700の構成を示す概略ブロック図である。

【図49】 第1のビットカウンタ3714の構成を示す回路図である。

【図50】 第2のビットカウンタ3706の構成を示す回路図である。

【図51】 第1内部カウンタ3600の構成を示す概略ブロック図である。

【図52】 第1のビットカウンタ3614の構成を示す回路図である。

【図53】 第2のビットカウンタ3606の構成を示す回路図である。

【図54】 プリデコーダ回路556、シフトレジスタ回路560および冗長判定部408の構成を説明するための概略ブロック図である。

【図55】 プリデコーダ557の構成を説明するための概略ブロック図である。

【図56】 演算回路4010、15の構成を示す回路図である。

【図57】 プリデコーダ回路556、2の構成を示す概略ブロック図である。

【図58】 演算回路4026の構成を示す回路図である。

【図59】 シフトレジスタ560、0の構成を説明するための概略ブロック図である。

【図60】 シフトレジスタ560、1の構成を説明するための概略ブロック図である。

【図61】 シフトレジスタ560、2の構成を説明するための概略ブロック図である。

【図62】 レジスタ部4600、0の構成を説明するための概略ブロック図である。

【図63】 第1のレジスタ回路4800の構成を示す回路図である。

【図64】 第2のレジスタ回路4810の構成を示す回路図である。

【図65】 マルチプレクサ回路4820の構成を示す回路図である。

【図66】 データ入出力端子DQ0に対応する入出力

回路6000の構成を示す回路図である。

【図67】 DDR-SDRAM動作モードでの動作波形を示すタイミングチャートである。

【図68】 ファーストアクセスまでの時間を短縮させることが可能なサーバモードでの動作波形を示すタイミングチャートである。

【図69】 実施の形態5におけるメモリセルアレイの構成を示す概略ブロック図である。

【図70】 アドレス信号の伝達されるタイミングを調整するためのアドレス信号の伝達経路を説明するための概略ブロック図である。

【図71】 サブワード線の活性化に伴うアレイのバンク区分を示す概略ブロック図である。

【図72】 図71に示したサブワードドライバ帯BSDRnの詳細な構成を示すための回路図である。

【図73】 センスアンプの制御系の構成を示す概略ブロック図である。

【図74】 センスアンプ部とデータ線部との接続を行なう構成を示す回路図である。

【図75】 アドレス信号の伝達されるタイミングを調整するためのアドレス信号の伝達経路を説明するための概略ブロック図である。

【図76】 実施の形態5の変形例の構成での動作を説明するためのタイミングチャートである。

【図77】 従来のDDR-SDRAMの構成を説明するための概略ブロック図である。

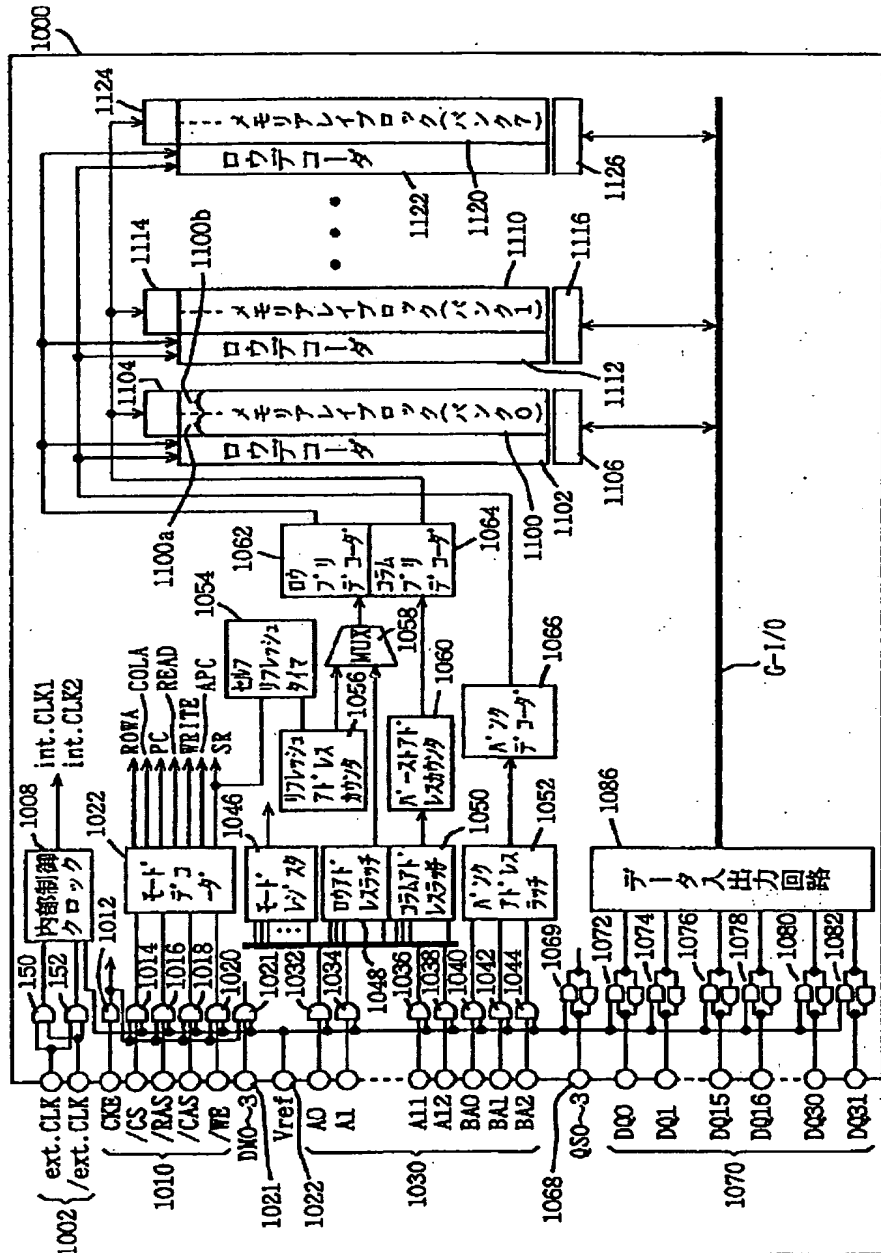
【符号の説明】

10 外部制御信号入力端子群、12 アドレス信号入力端子群、14 入出力バッファ回路、16 クロック信号入力端子、18 内部同期信号発生回路、34 コラムプリデコーダ、36 行プリデコーダ、38 リード/ライトアンプ、40 コラムプリデコーダ、42 コラムデコーダ、44 ロウデコーダ、50a~50c アドレスバス、52 アドレスドライバ、54 データバス、1002 クロック入力端子、1004、1006 クロック入力バッファ、1008 内部制御クロック生成回路、1010 外部制御信号入力端子群、1012、1014、1016、1018、1020 制御信号入力バッファ、1022 モードデコーダ、1030 アドレス信号入力端子群、1032~1044 入力バッファ、1046 モードレジスタ、1048 ロウアドレスラッチ、1050 コラムアドレスラッチ、1052 バンクアドレスラッチ、1054 セルフリフレッシュタイマ、1056 リフレッシュアドレスカウンタ、1058 マルチプレクサ、1060 バーストアドレスカウンタ、1062 ロウプリデコーダ、1064 コラムプリデコーダ、1066 バンクデコーダ、1070 データ入出力端子、1072~1082 入出力バッファ回路、1086 データ入出力回路、1100、1110、1120 メモリアレイプロ

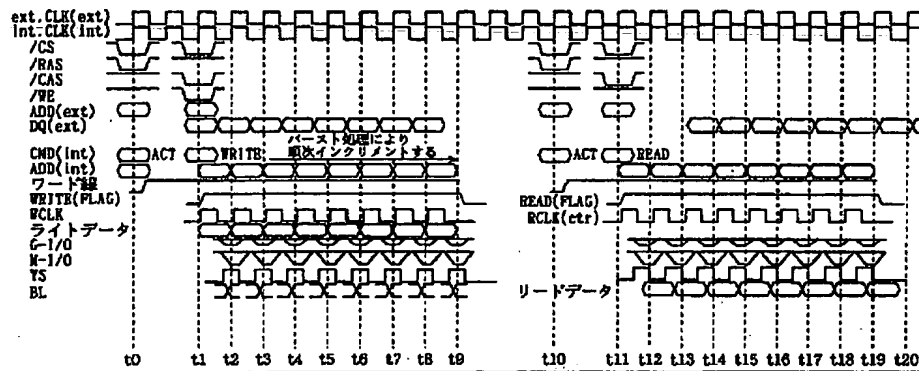
ック、1102、1112、1122 ロウデコーダ、
1104、1114、1124 コラムデコーダ、11

06、1116、1126 I/Oポート、1000、
2000 同期型半導体記憶装置。

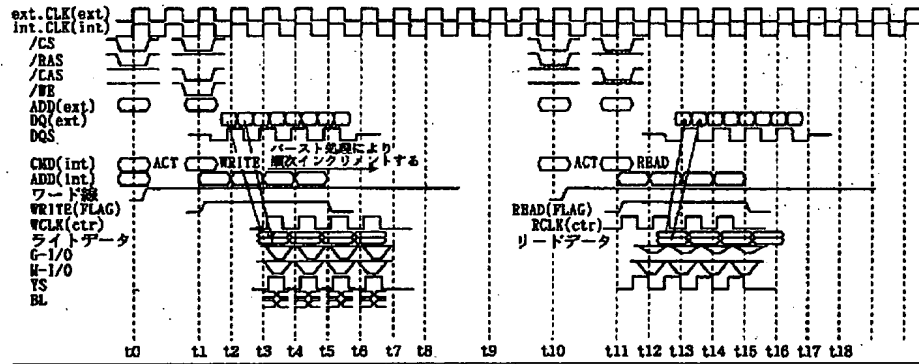
【図1】



【図2】



【図3】



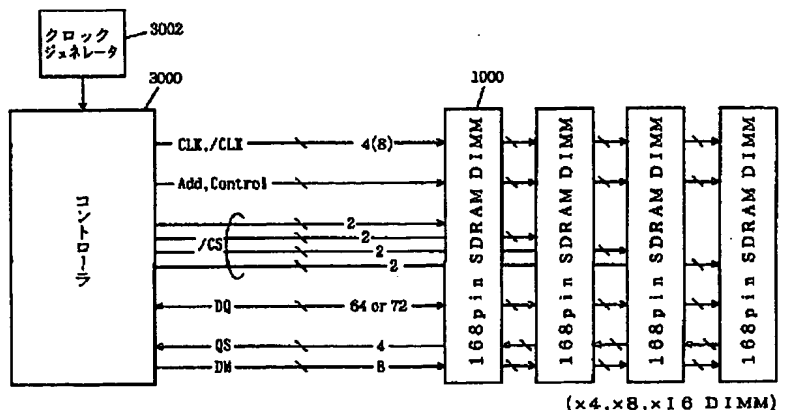
【図6】

バースト長	開始アドレス(A2, A1, A0)	シーケンシャルモード	インターリーブモード
2	xx0	0,1	0,1
	xx1	1,0	1,0
4	xx0	0,1,2,3	0,1,2,3
	xx1	1,2,3,0	1,0,3,2
	xx10	2,3,0,1	2,3,0,1
	xx11	3,0,1,2	3,2,1,0
8	000	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7
	001	1,2,3,4,5,6,7,0	1,0,3,2,5,4,7,6
	010	2,3,4,5,6,7,0,1	2,3,0,1,6,7,4,5
	011	3,4,5,6,7,0,1,2	3,2,1,0,7,6,5,4
	100	4,5,6,7,0,1,2,3	4,5,6,7,0,1,2,3
	101	5,6,7,0,1,2,3,4	5,4,7,6,1,0,3,2
	110	6,7,0,1,2,3,4,5	6,7,4,5,2,3,0,1
	111	7,0,1,2,3,4,5,6	7,6,5,4,3,2,1,0


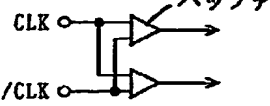
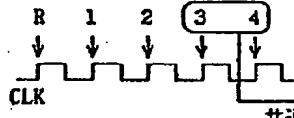
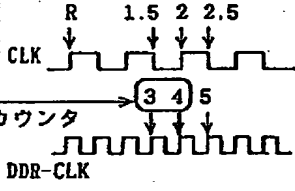
【図4】

	DDR-SDRAM	SDR-SDRAM
データ入力制御	①両方向同期の場合 ・DQS(IN)信号に同期 ・外部クロック信号に対して所定のレイテンシ ②単方向同期の場合 ・外部クロックの立上りエッジおよび立下りエッジに同期 ・外部クロック信号に対して所定のレイテンシ	①外部クロック信号CLKに同期 ②信号CLKの立上りエッジに同期
データ出力制御	①外部クロックの2倍周波数の同期クロックを生成し、データを同期出力 ②信号DQSを出力	③外部クロック信号CLKに同期 ④信号CLKの立上りエッジに同期
外部クロック信号	・相補クロック信号	・単相クロック信号
データマスク	①書き込み動作のみ ②外部クロックに対して所定のレイテンシ	・書き込み動作および読出動作とも
バースト長	・2/4/8 (内部動作: 1/2/4)	・1/2/4/8
CASレイテンシ	・1.5/2/2.5	・2/3
CKE信号による制御	・パワーダウン	・内部クロックサスペンド ・パワーダウン
モードレジスタ	①バースト長BL ②CASレイテンシCL ③バーストタイプBT ④DLL/PLL制御	①バースト長BL ②CASレイテンシCL ③バーストタイプBT
リードターミネーション	Read / BurstStop / Precharge	Read / Write / Term. / Precharge
ライトターミネーション	Write / Read / Precharge	Read / Write / Term. / Precharge

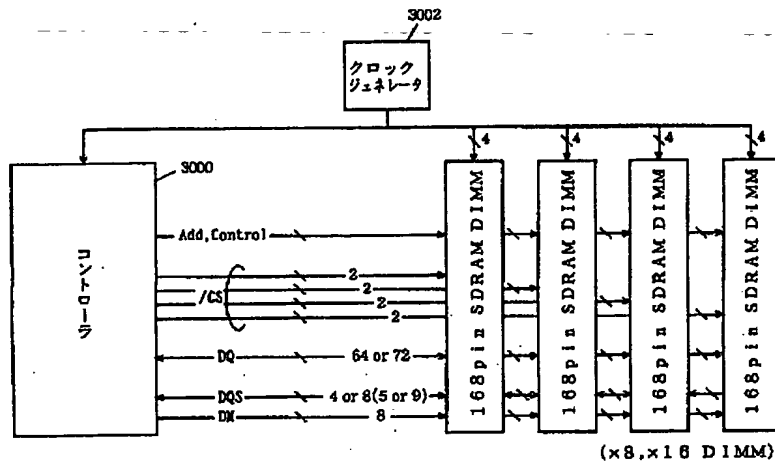
【図7】



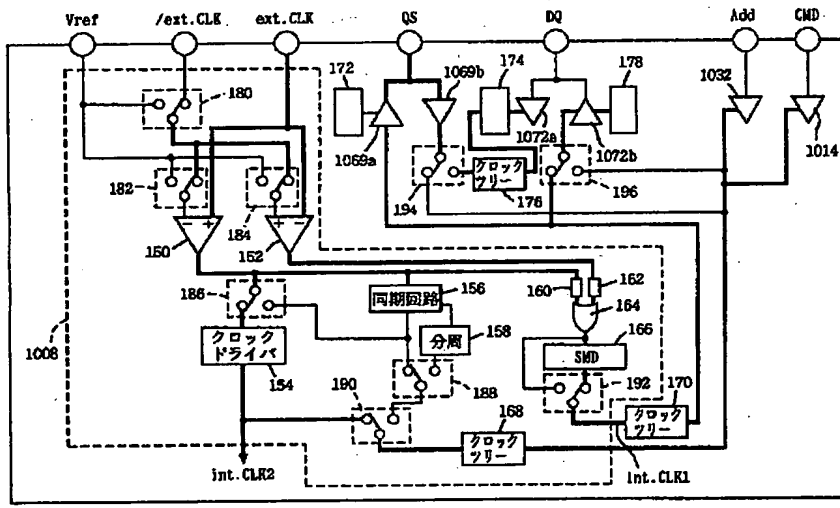
【図5】

	SDR-SDRAM	DDR-SDRAM
① クロック入力	<ul style="list-style-type: none"> ・単相クロック信号 	<ul style="list-style-type: none"> ・相補クロック信号 
② 信号CKEによる制御	<ul style="list-style-type: none"> ・パワーダウン ・クロックサスペンド 	<ul style="list-style-type: none"> ・共通回路で可能 ・処理停止
③ バースト長	<ul style="list-style-type: none"> ・1/2/4/8 (フルページ) 	<ul style="list-style-type: none"> ・2/4/8 (内部動作: 1/2/4) ・BL=1は停止 ・フルページ動作停止
④ アドレス制御	<ul style="list-style-type: none"> ・ランダムアクセス ・3ビット/完全ビットバーストカウンタ ・シークエンシャル/インターリーブモード 	<ul style="list-style-type: none"> ・ベアビットランダムアクセス ・2ビットバーストカウンタを2個(偶数アドレス用および奇数アドレス用) ・シークエンシャルモード用アドレス遷移回路を付加
⑤ CASレイテンシ	<ul style="list-style-type: none"> ・1/2/3/4 	<ul style="list-style-type: none"> ・1.5/2/2.5 
⑥ DQ端子の入出力タイミング	<ul style="list-style-type: none"> ・外部クロック信号 	<ul style="list-style-type: none"> ・DQクロック信号
⑦ データマスクコントロール	<ul style="list-style-type: none"> ・読出および書込動作 ・書込みレイテンシ=0 <p>内部レイテンシ不要</p>	<ul style="list-style-type: none"> ・書込み動作のみ <p>内部クロック信号2ク ロック分レイテンシ 内部アドレスシフト アドレスマスク</p>
⑧ モードレジスタ	BL, CL, BT	BL, CL, BT DLL制御、テストモード
⑨ バーストインターラプション	<ul style="list-style-type: none"> ・リード動作のライト動作によるインターラプション ・DQSマスク使用 ・ターミネーション、オートプリチャージ 	<ul style="list-style-type: none"> ・バースト停止コマンド&1クロック待機 ・共通回路(中央回路部)
⑩ ライト動作	リード/ライト共に同サイクルで開始する	ライト時に内部の動作に2CLK分レイテンシを有する

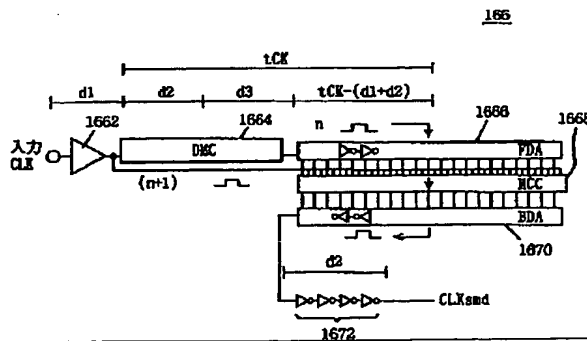
【図 8】



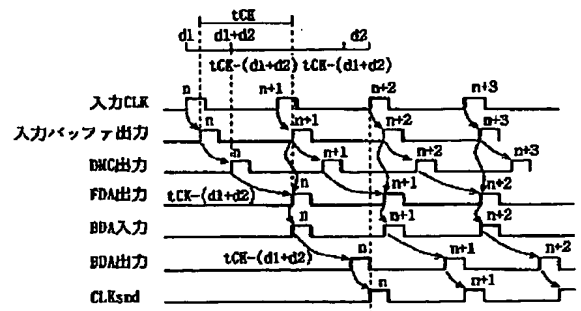
【図 9】



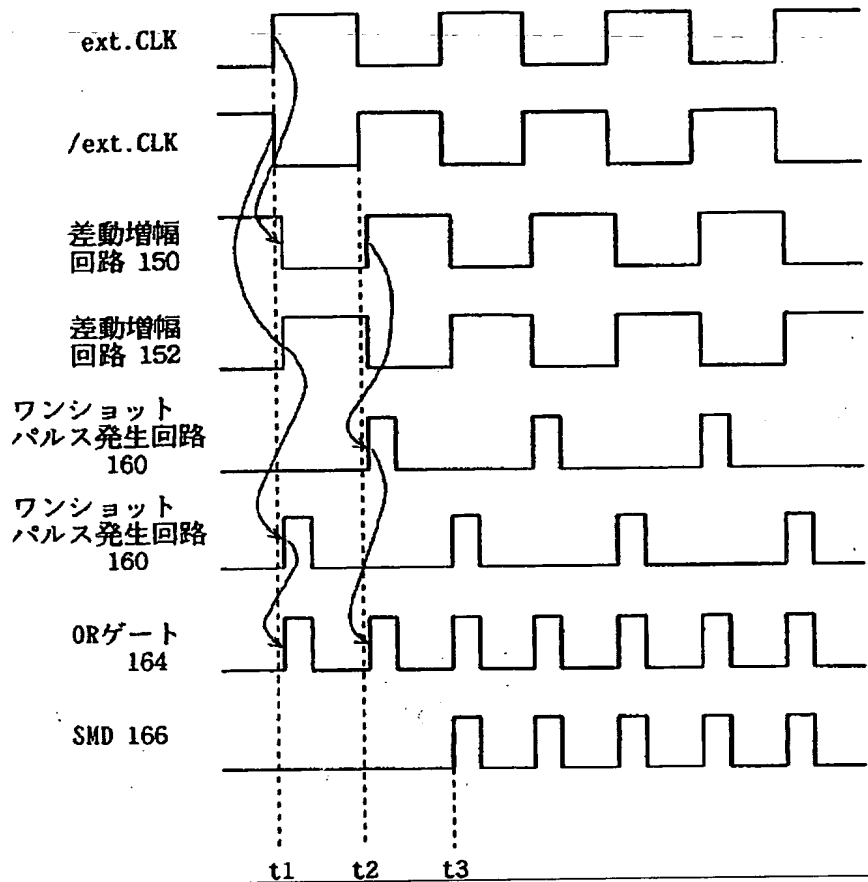
【図 11】



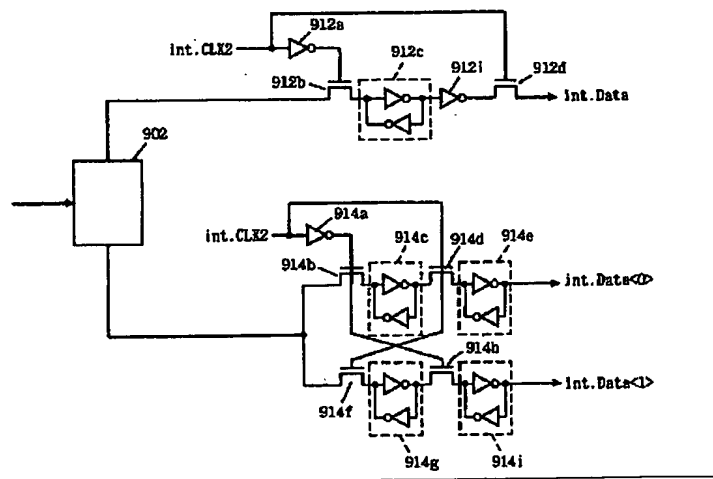
【図 12】



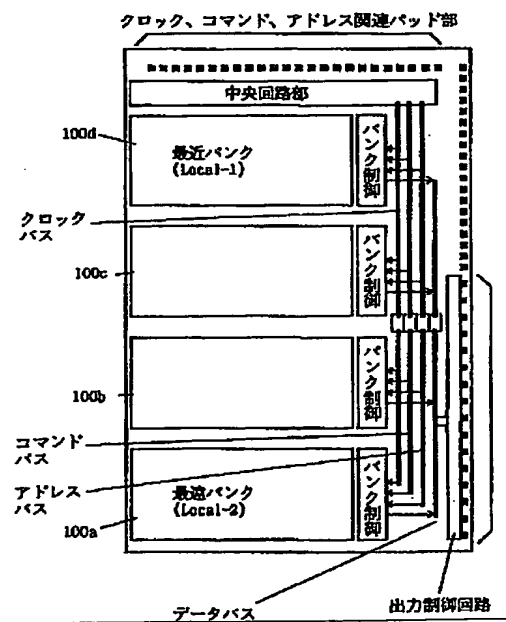
【図10】



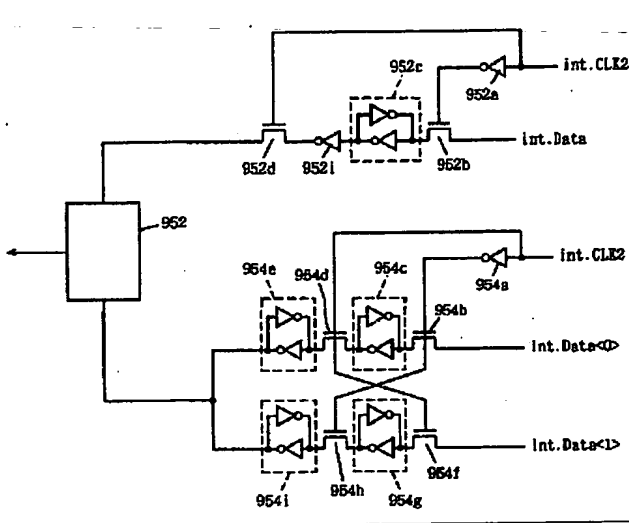
【図13】



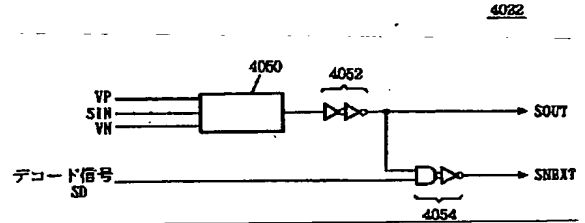
【図26】



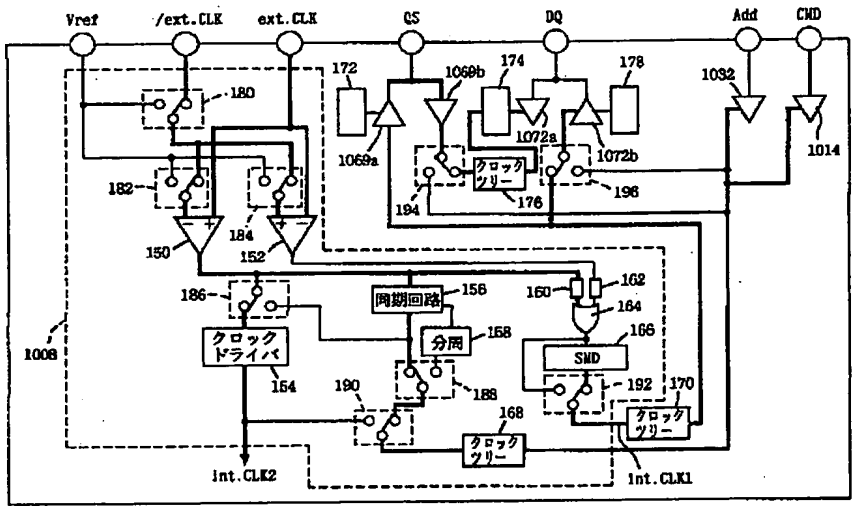
【図14】



【図31】

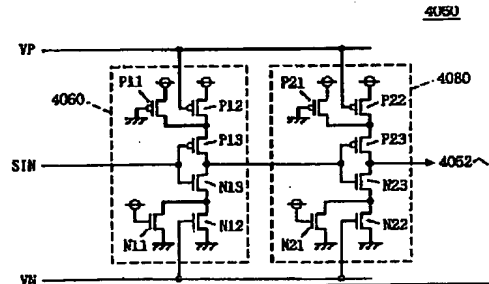
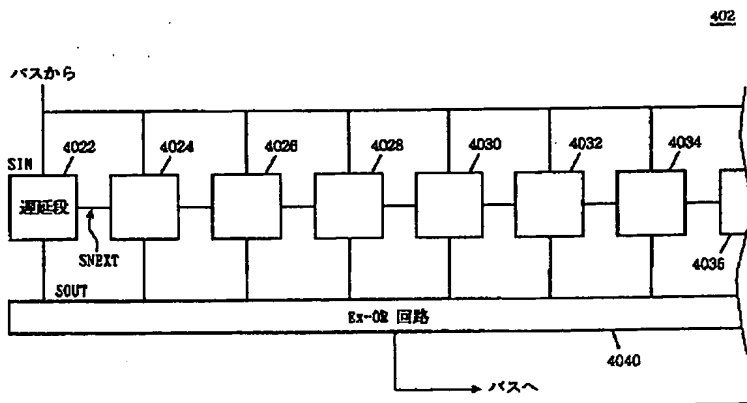


【図15】

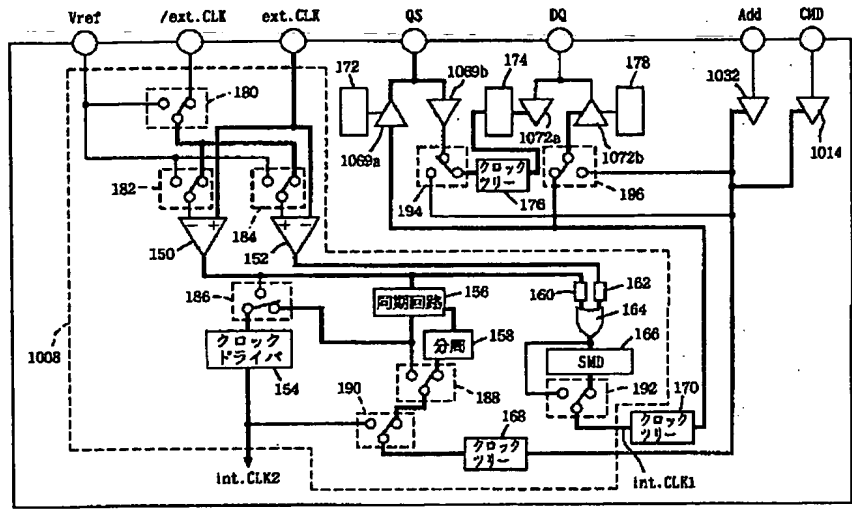


【図30】

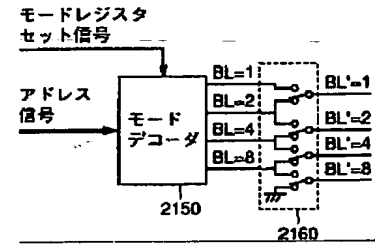
【図32】



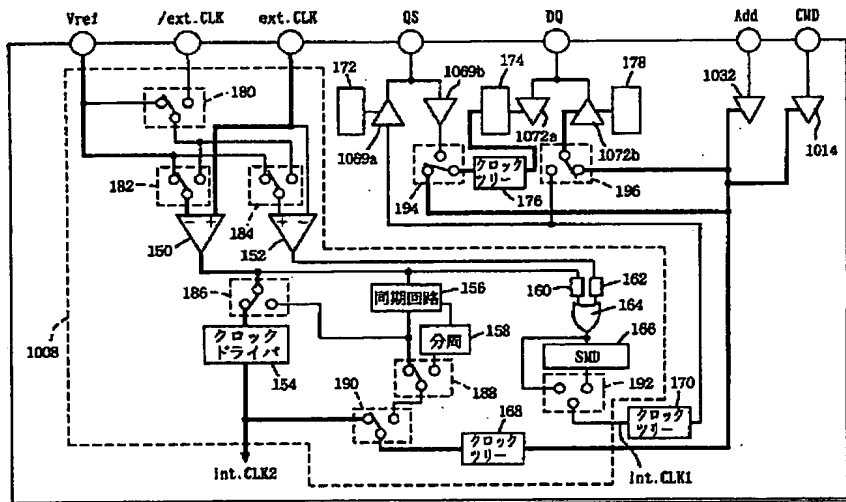
【図16】



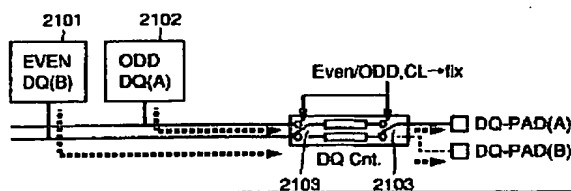
【図39】



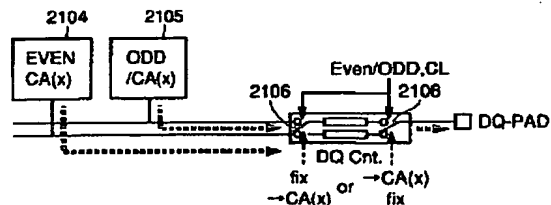
【図17】



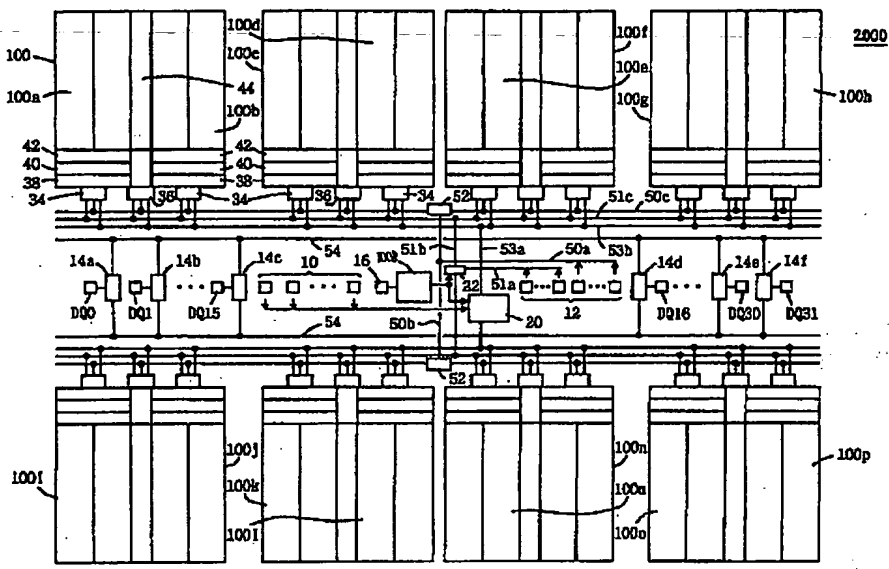
【図36】



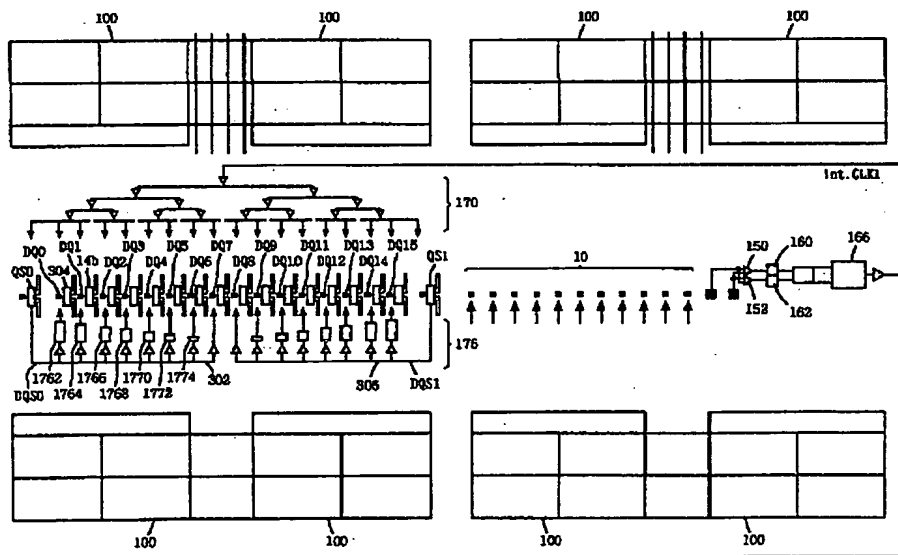
【図37】



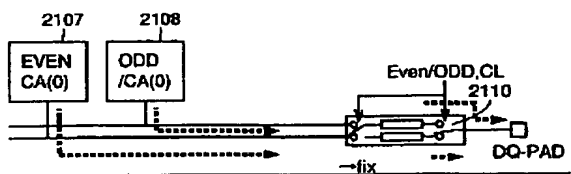
【図 18】



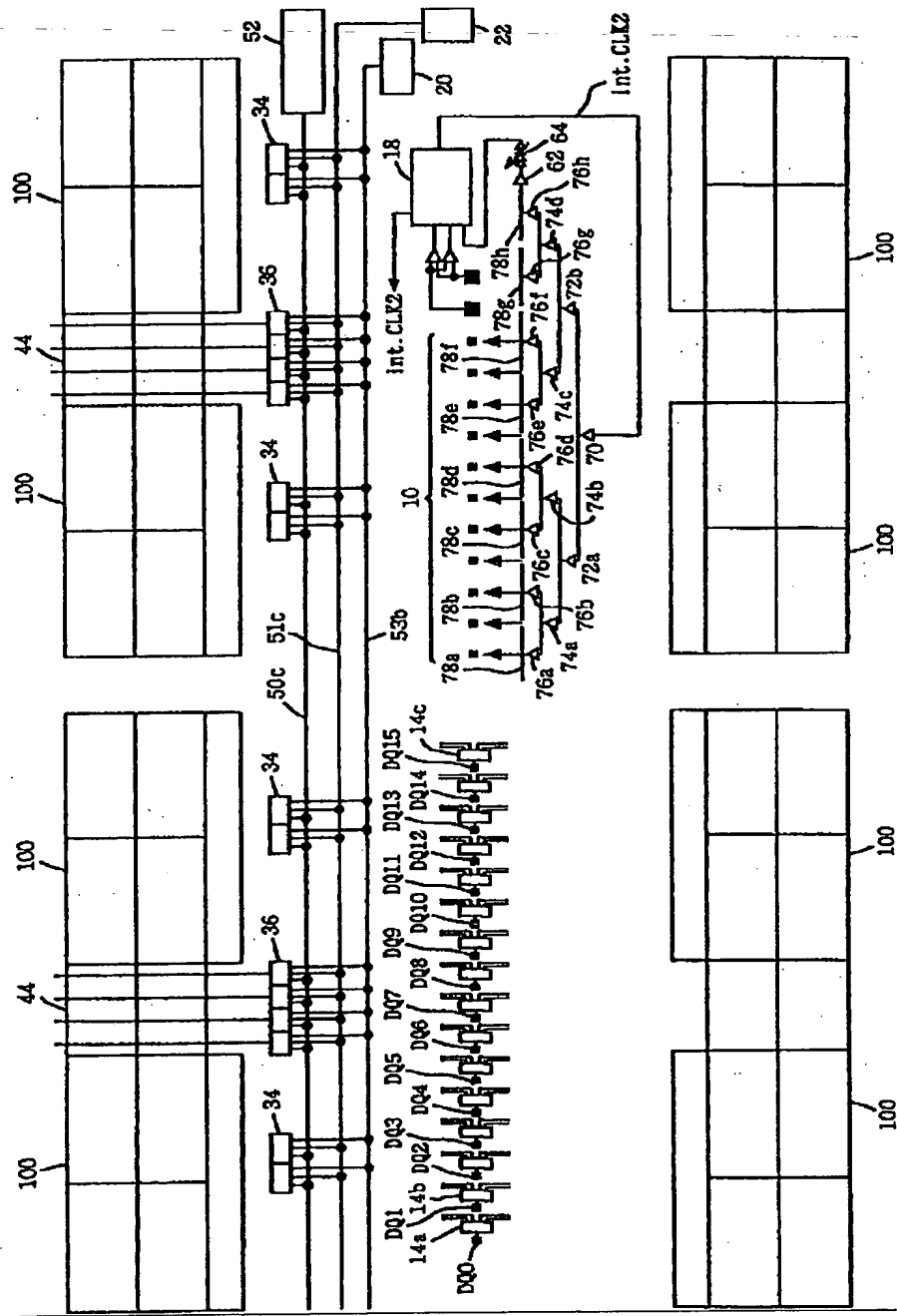
【図 19】



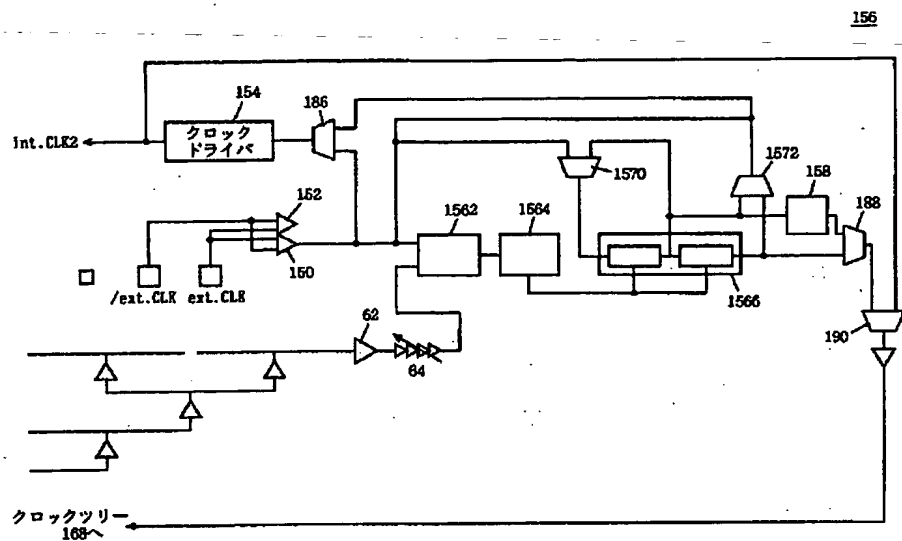
【図 38】



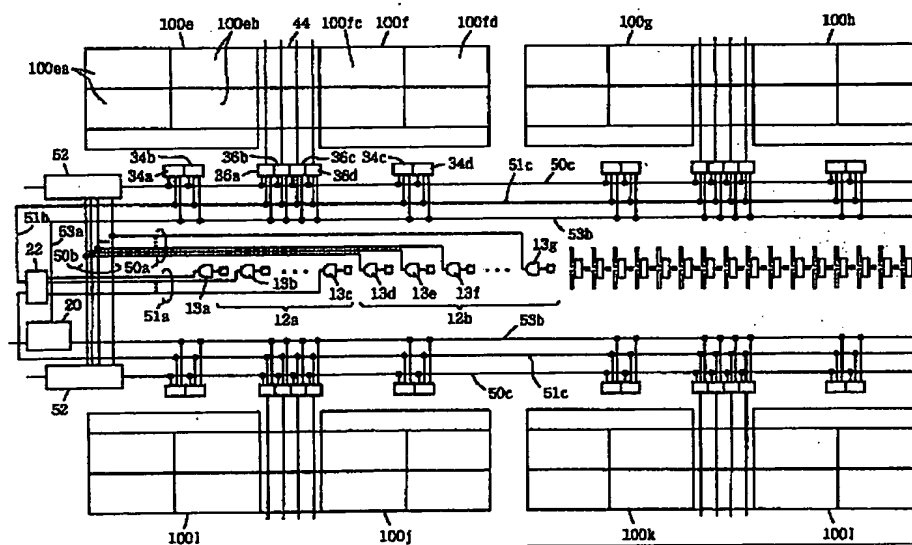
【図20】



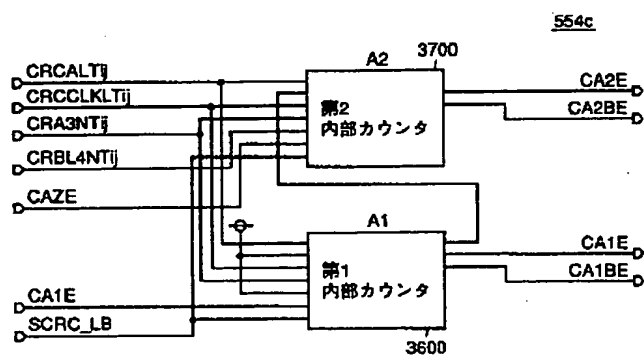
【図 2 1】



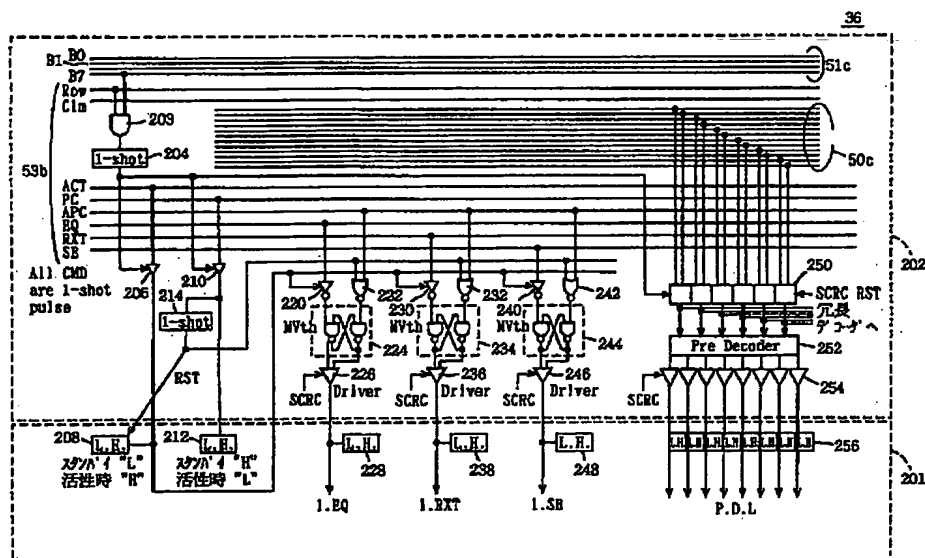
【图 22】



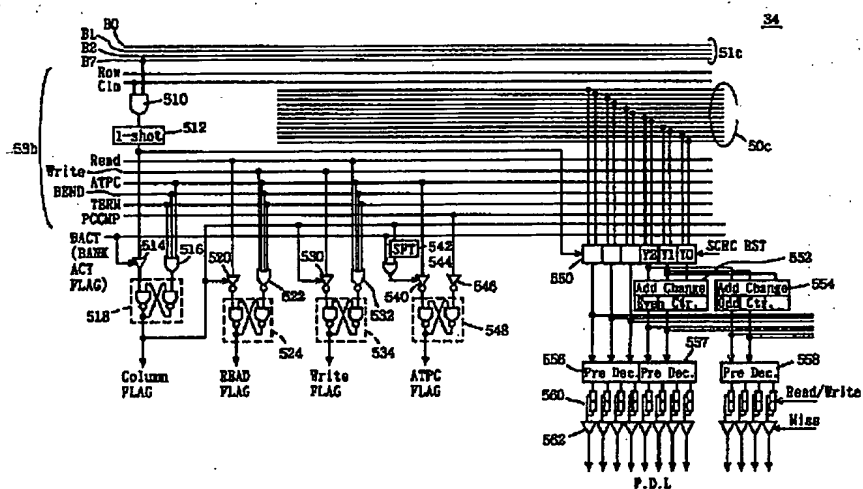
【図 47】



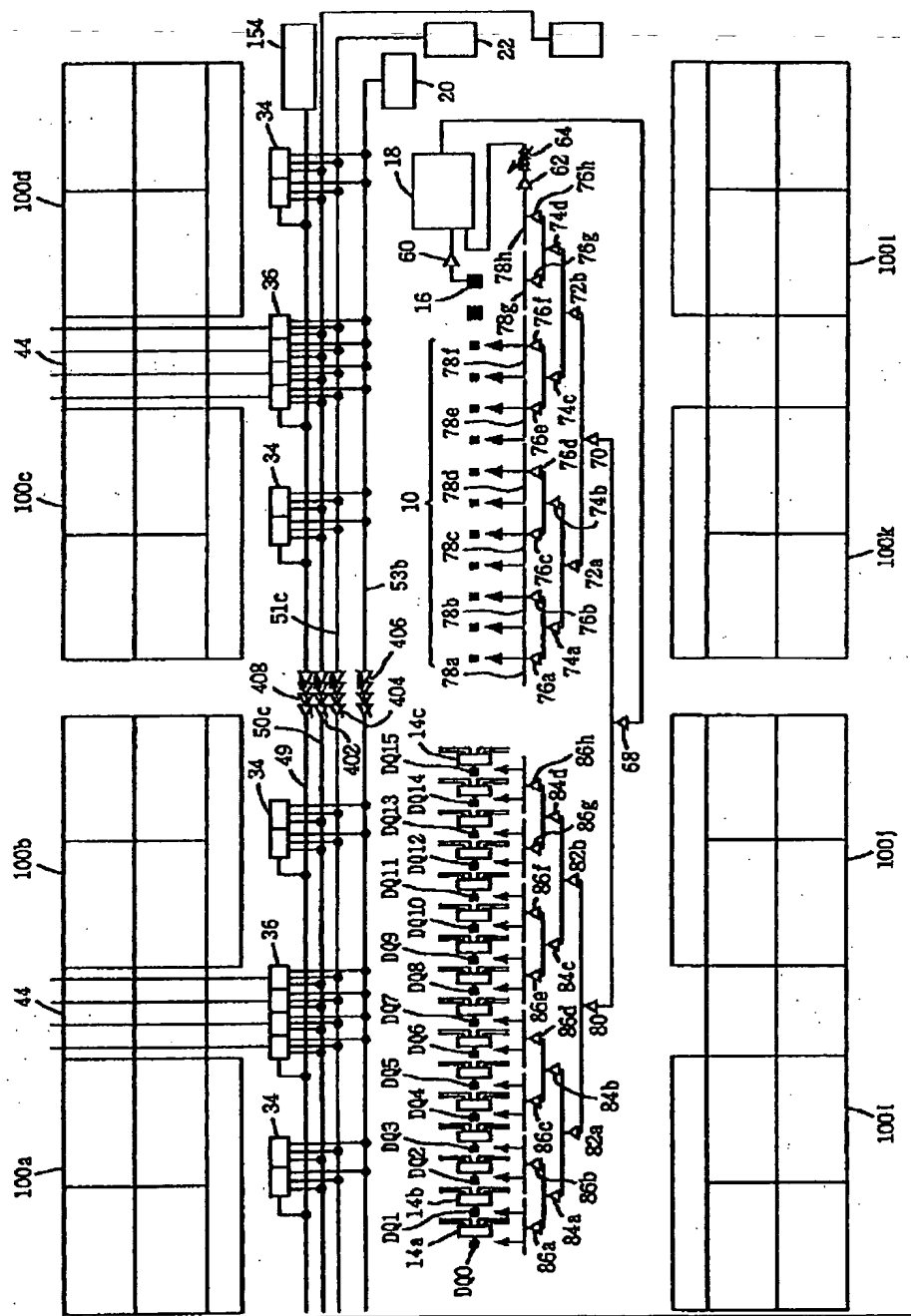
【图 23】



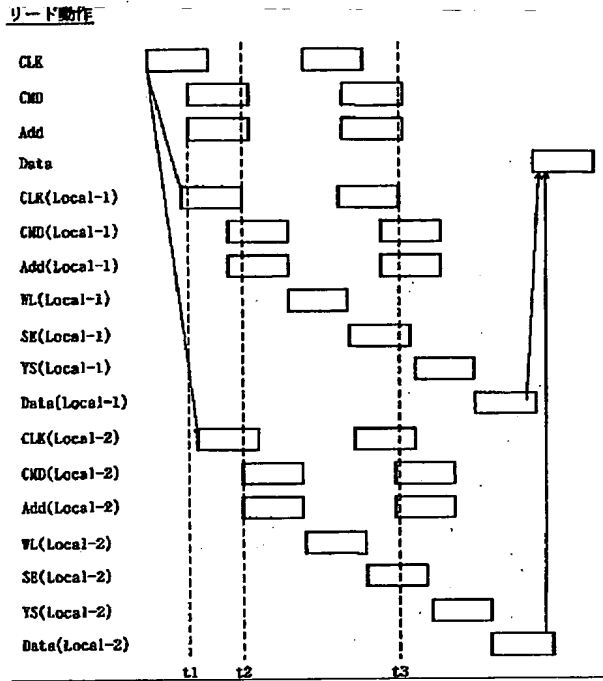
【図 24】



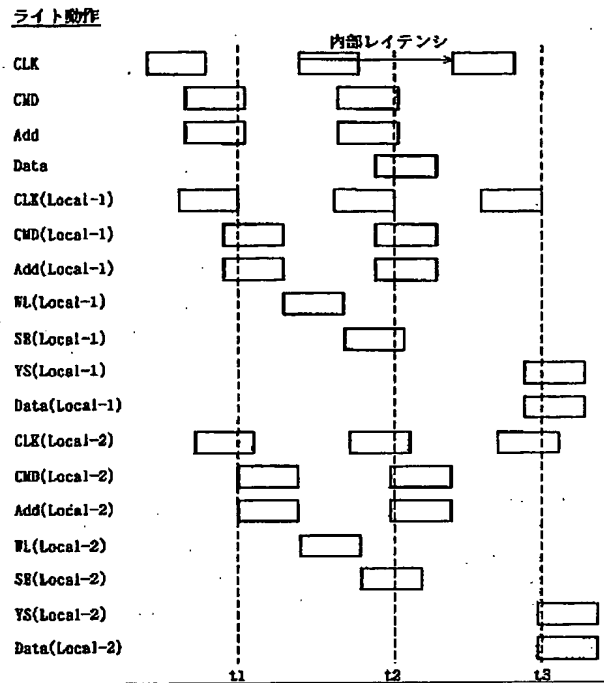
【図25】



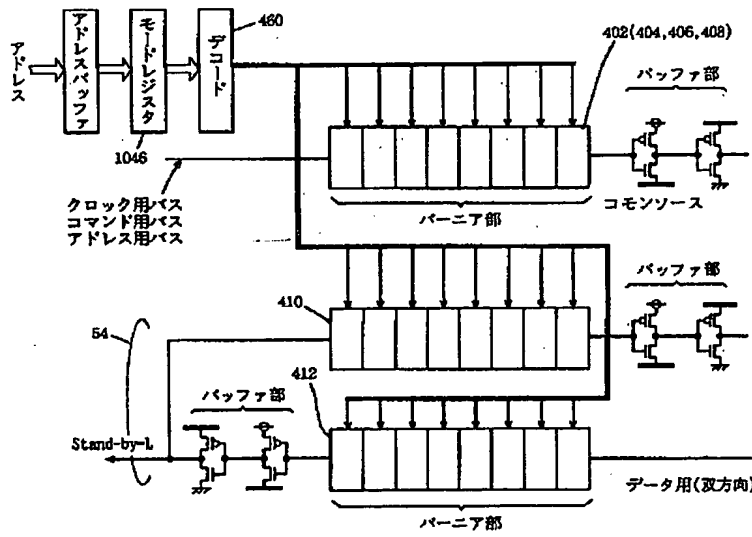
【図27】



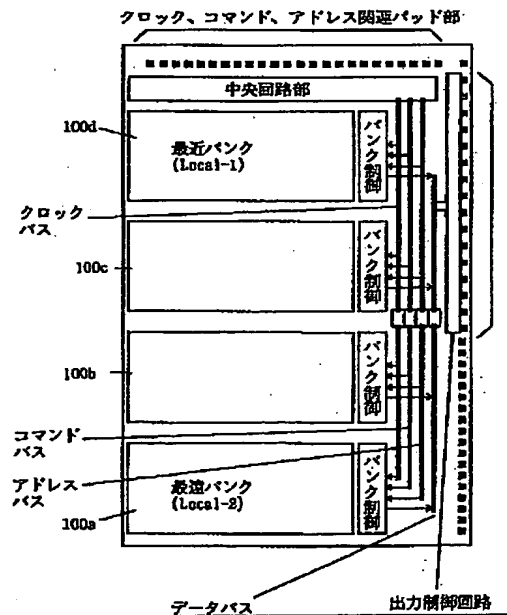
【図28】



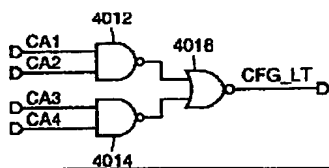
【図29】



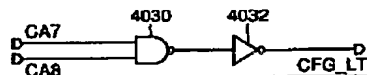
【図33】



【図56】

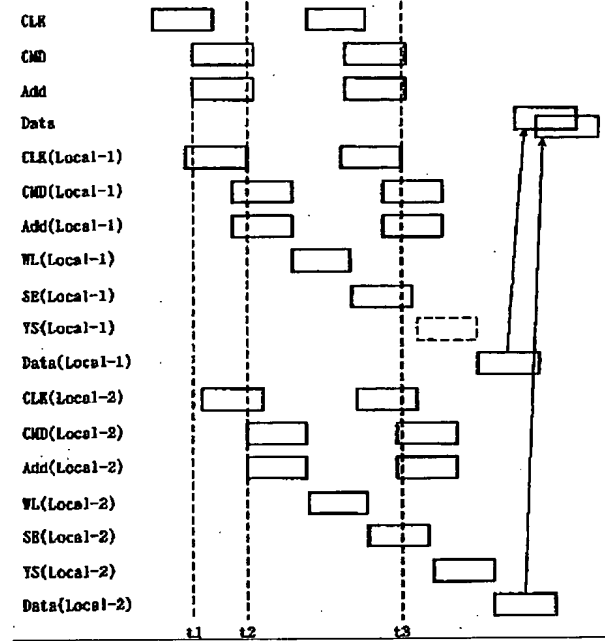


【図58】



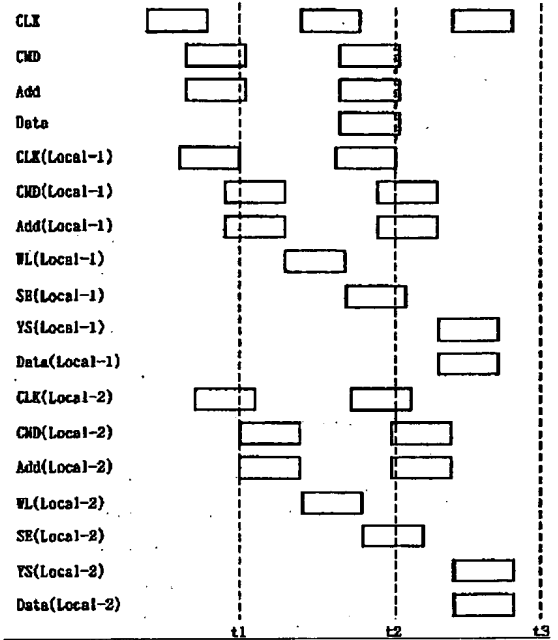
【図 34】

リード動作

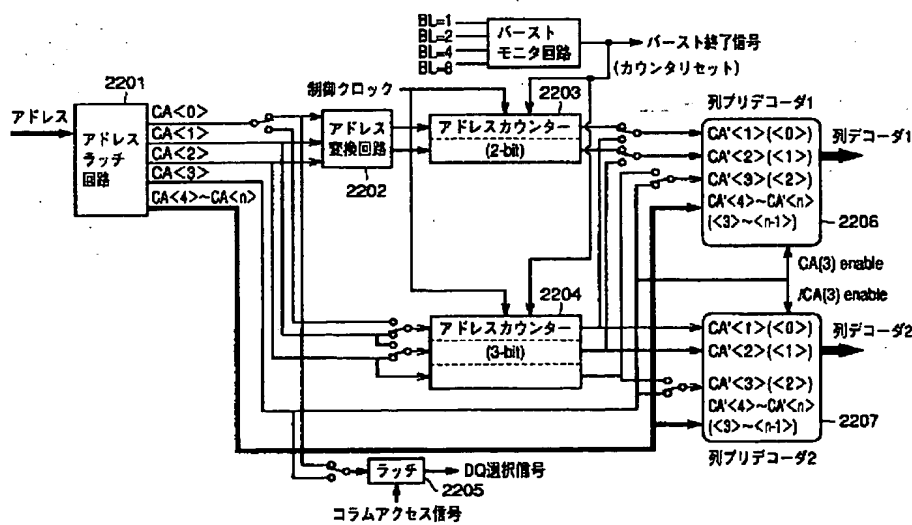


【図 35】

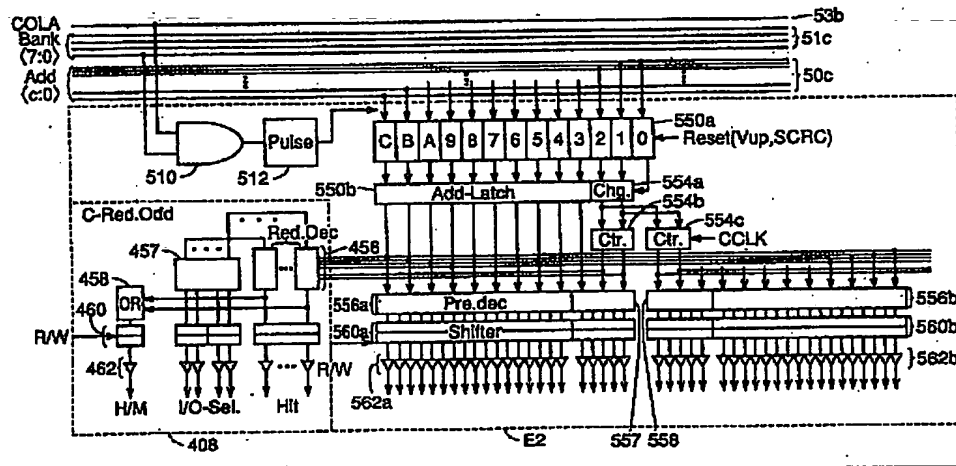
ライト動作



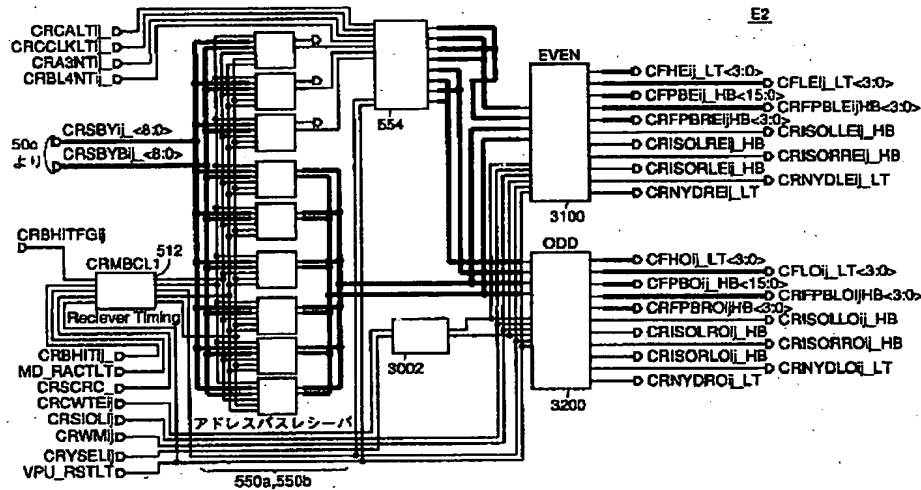
【図 40】



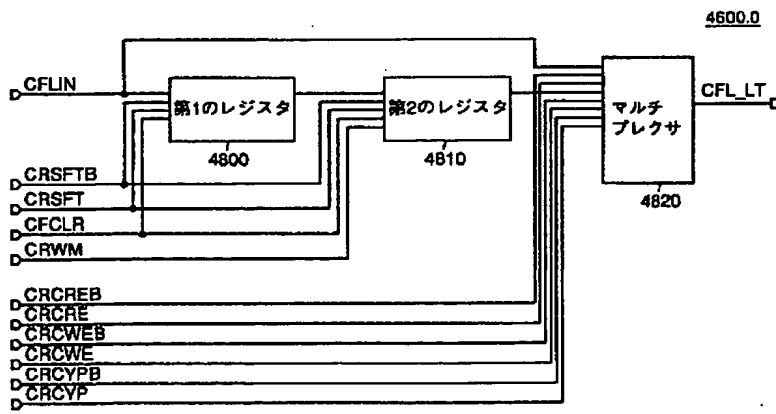
【図 4 1】



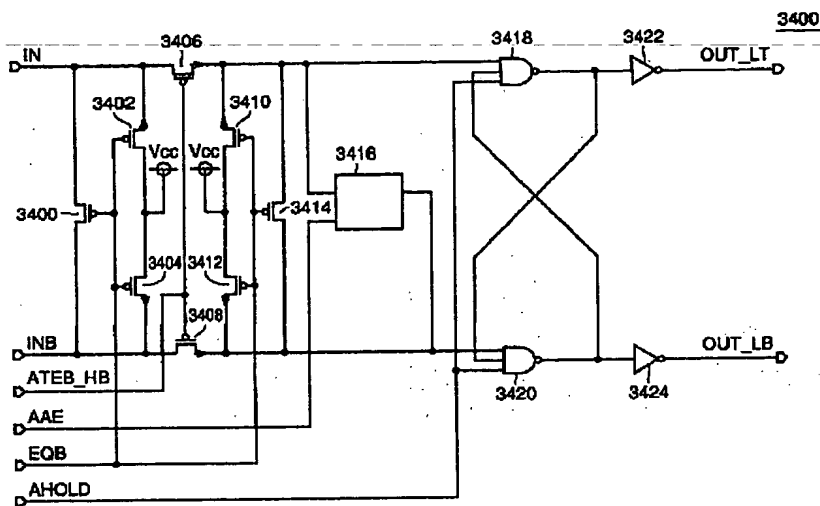
【図 4 2】



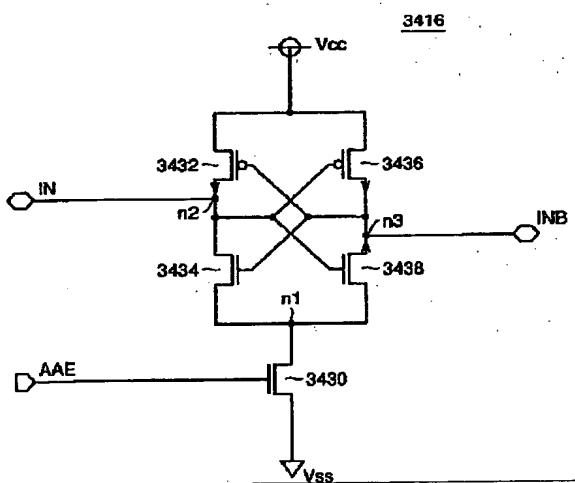
【图 6 2】



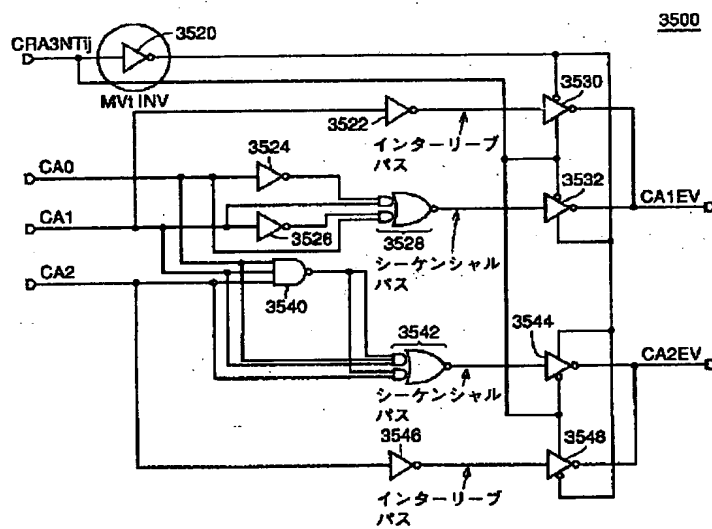
【図 4 3】



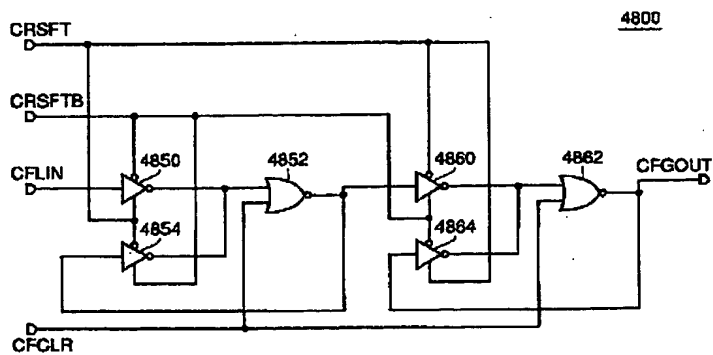
【図 4 4】



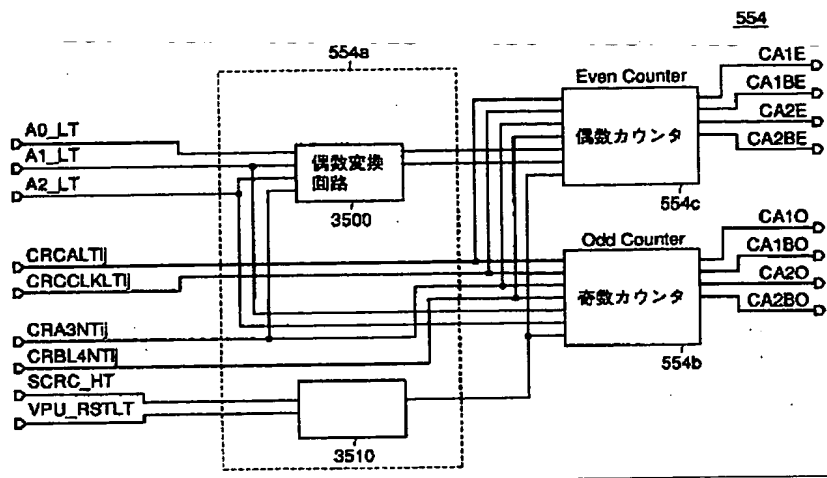
【図 4 6】



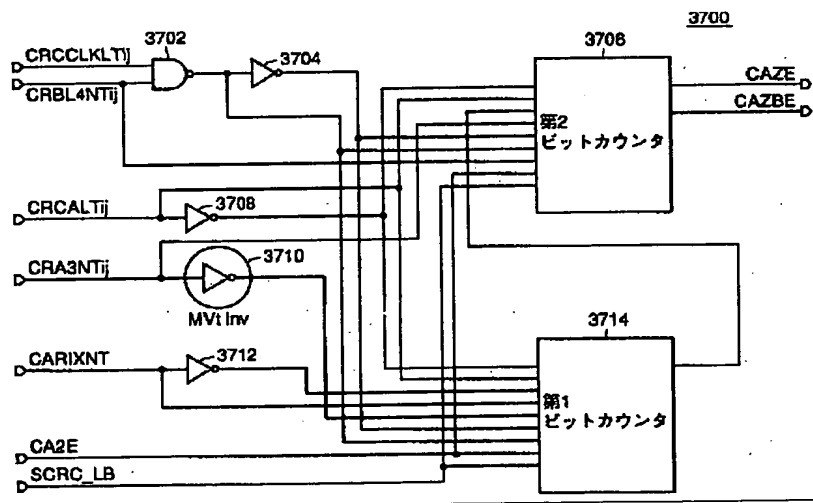
【図 6 3】



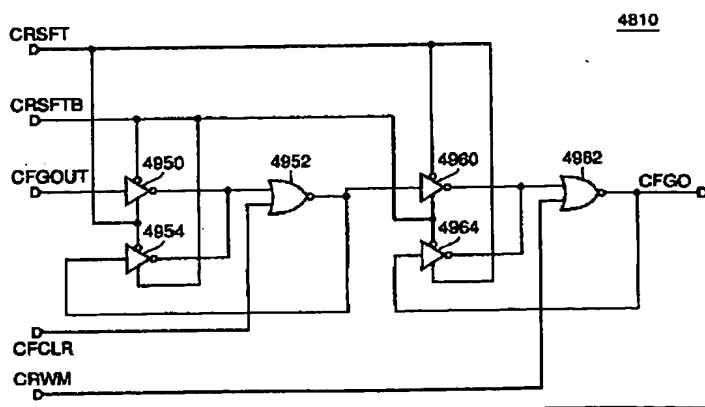
【図45】



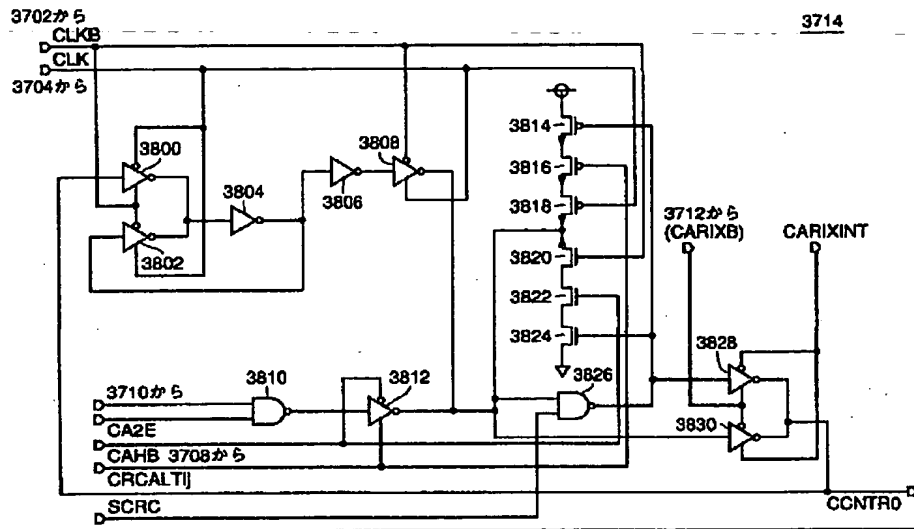
【図48】



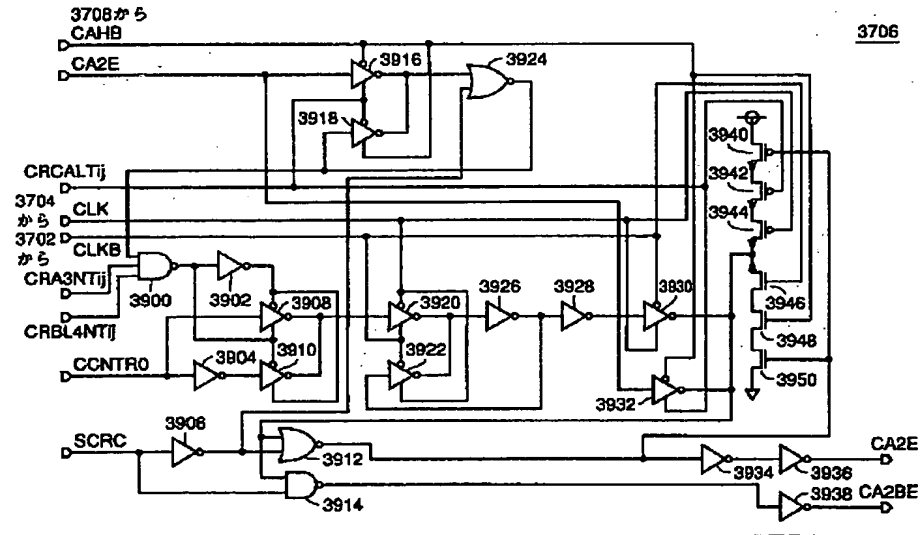
【図64】



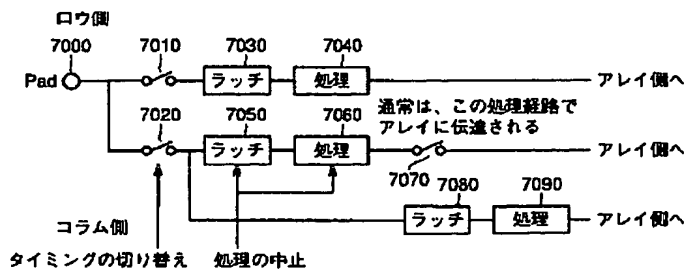
【図49】



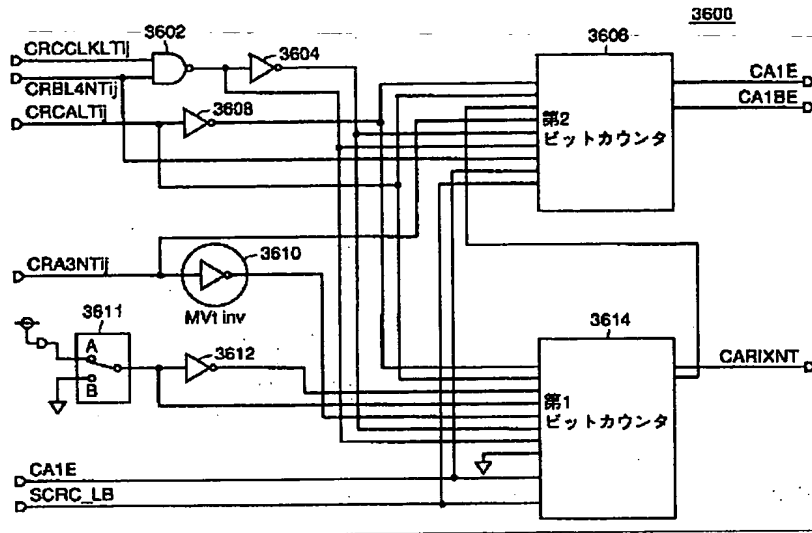
【図50】



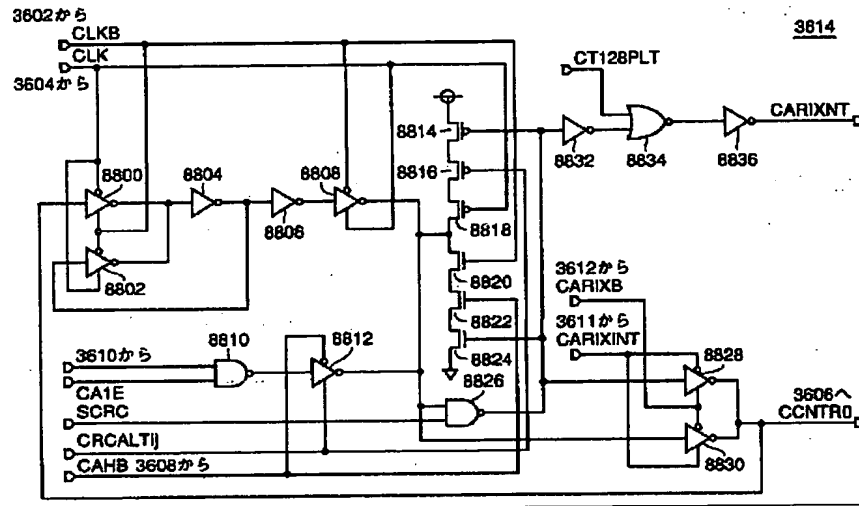
【図70】



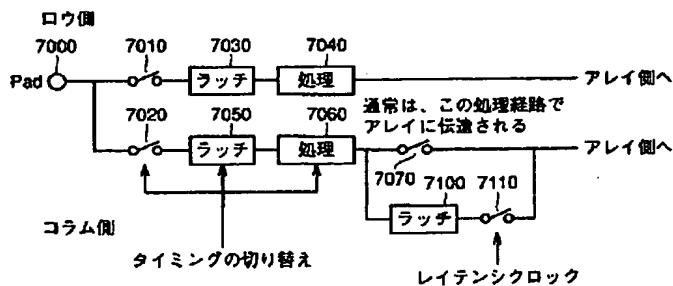
【図 5 1】



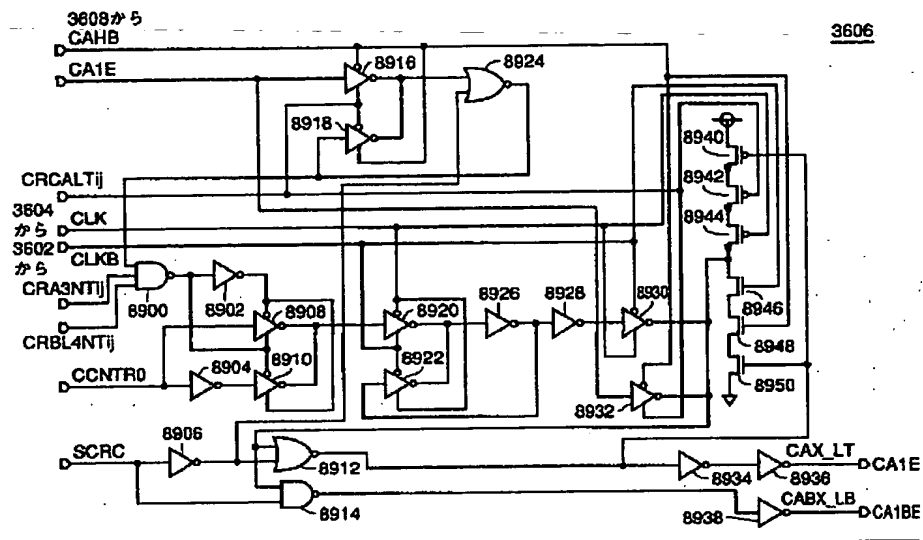
【図 5 2】



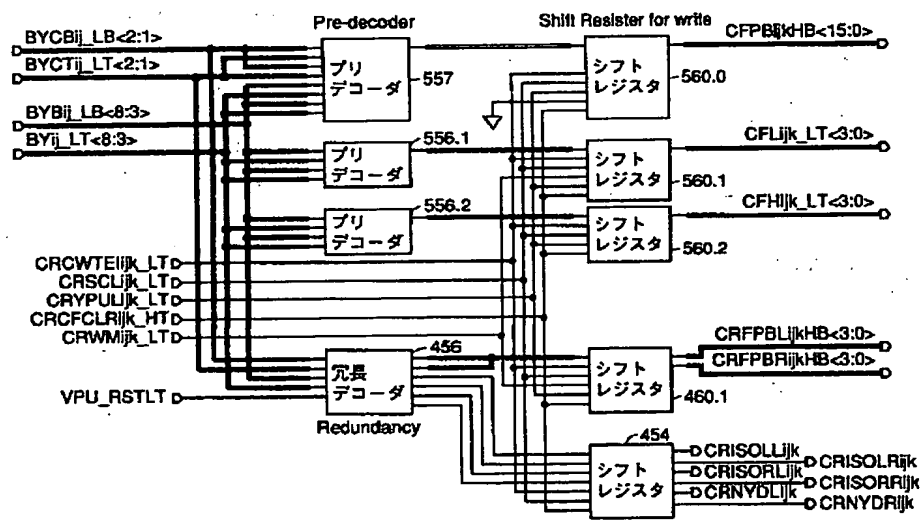
【図 7 5】



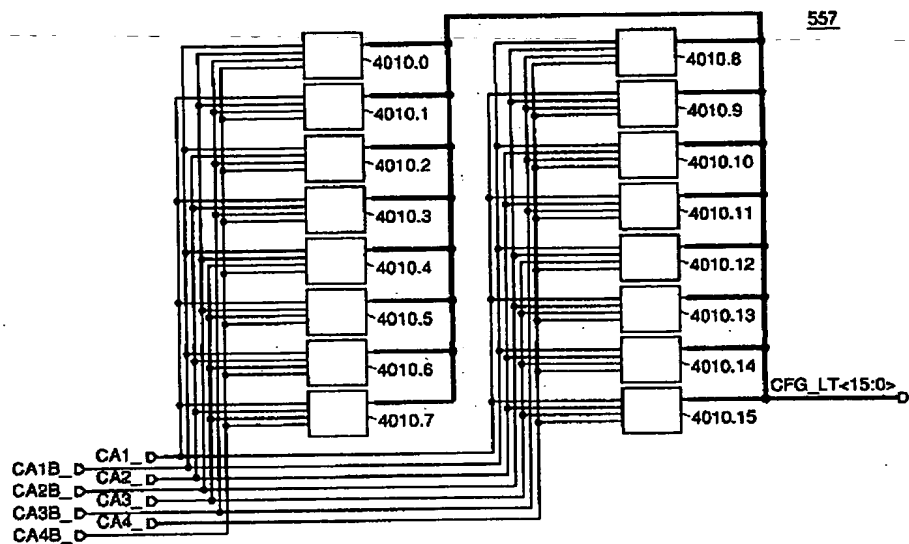
【図53】



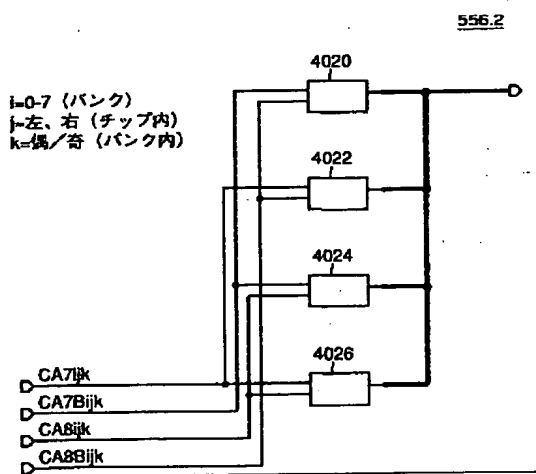
【図54】



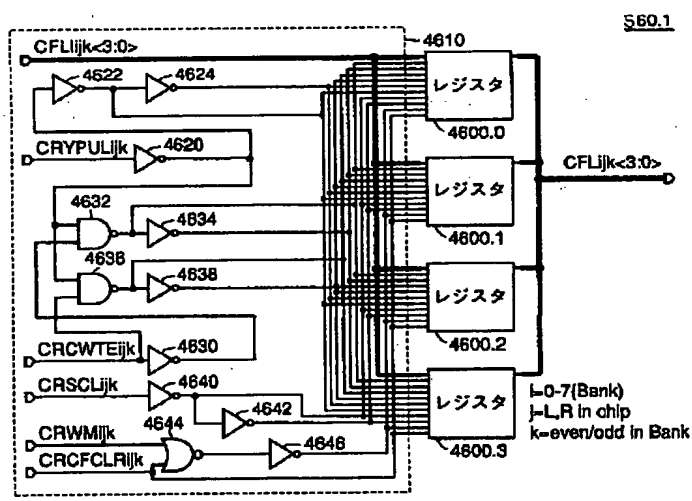
【図55】



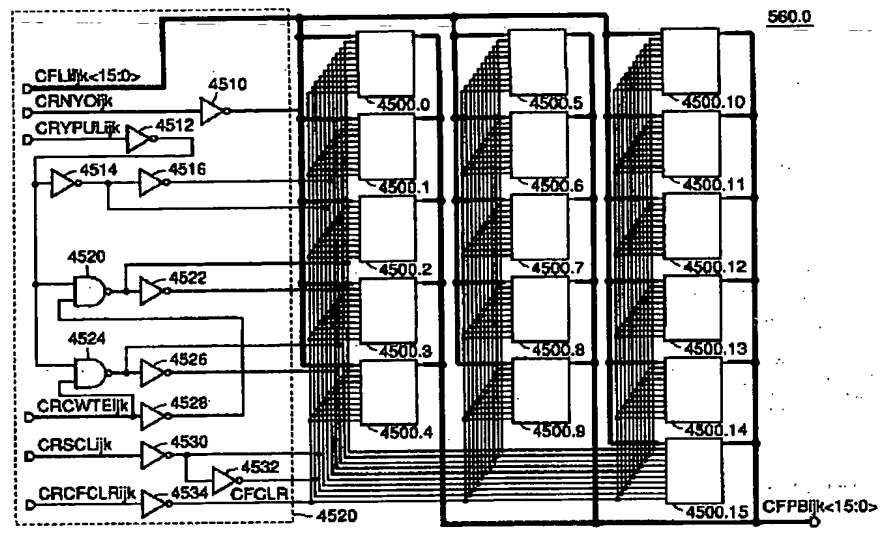
【図57】



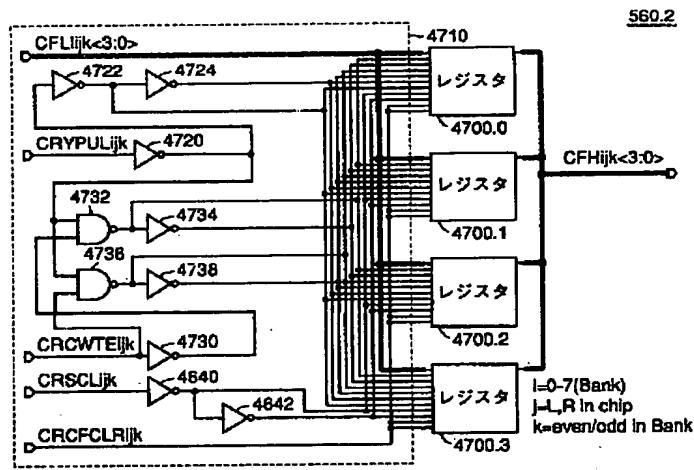
【図60】



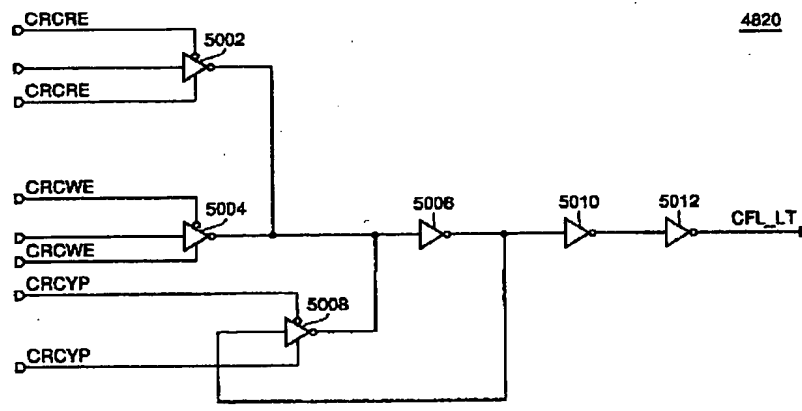
【図59】



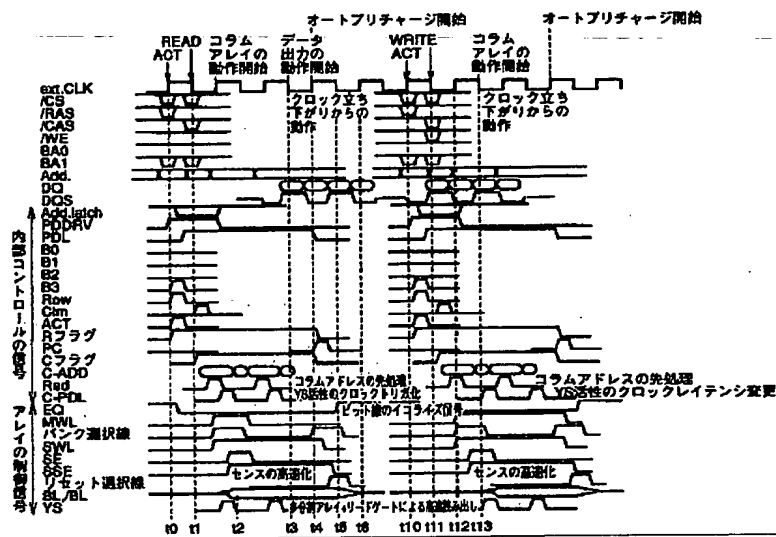
【図61】



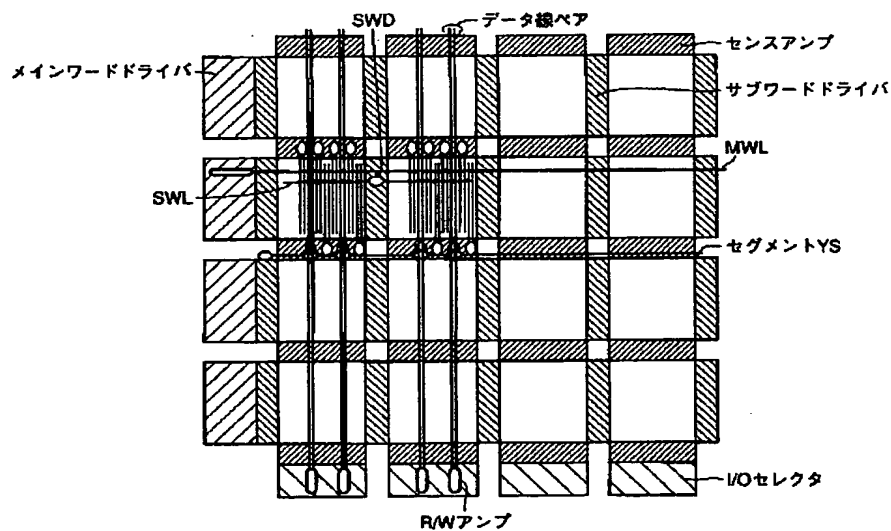
【図65】



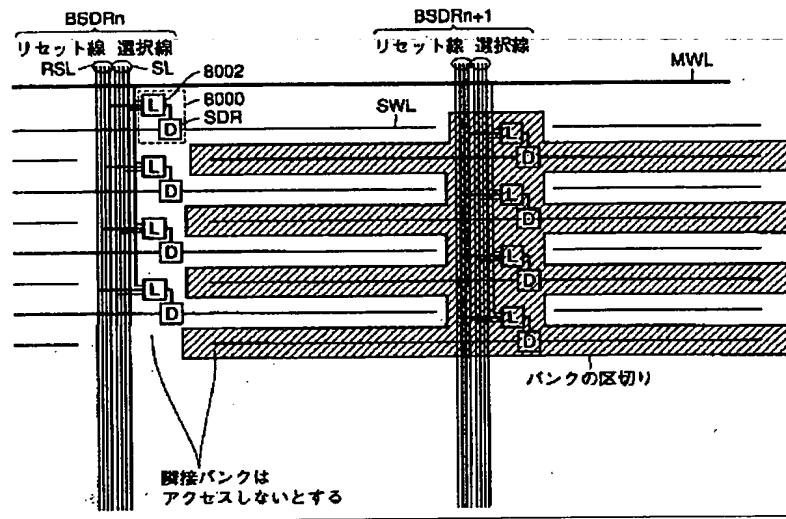
【图 6 8】



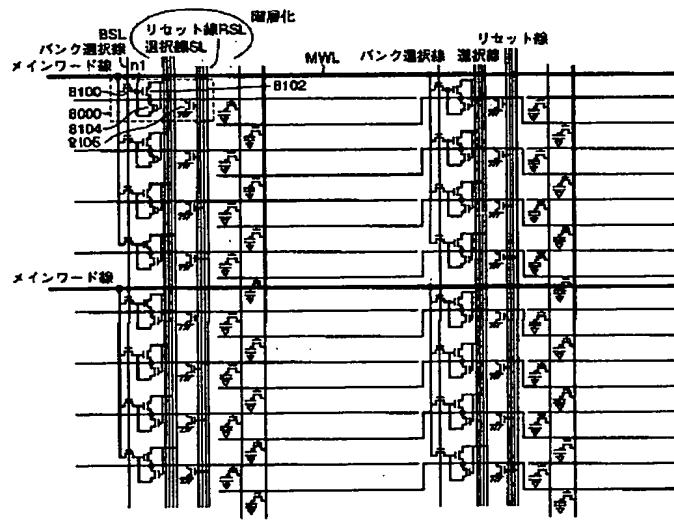
【图 69】



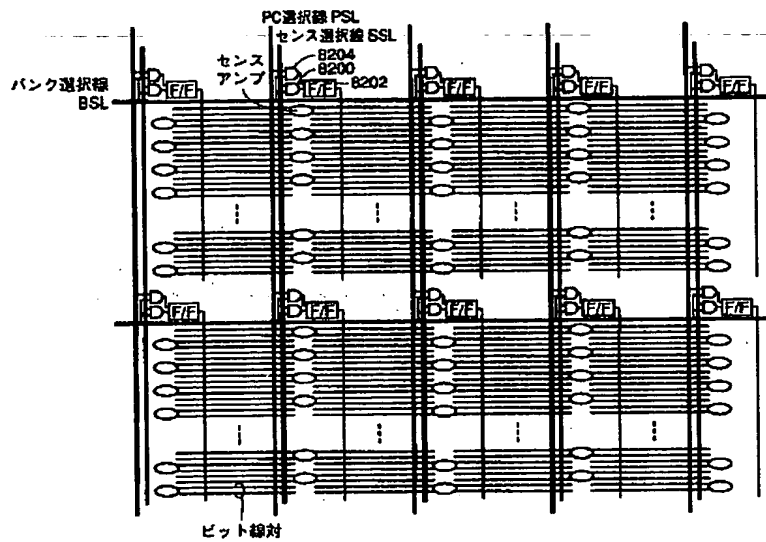
【図71】



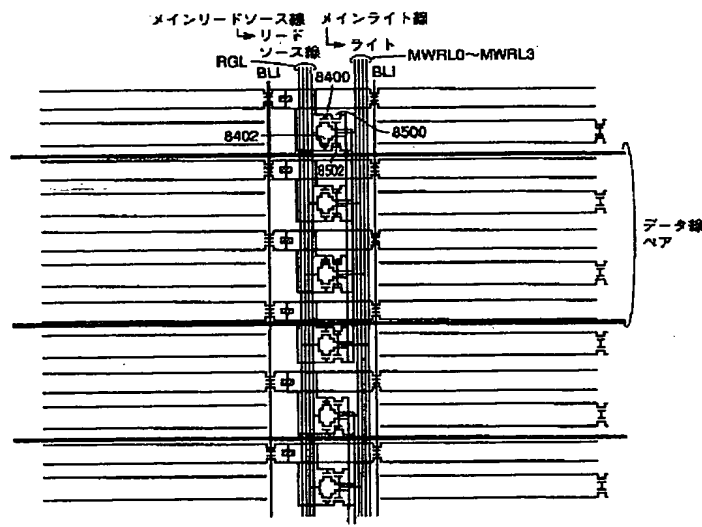
【図72】



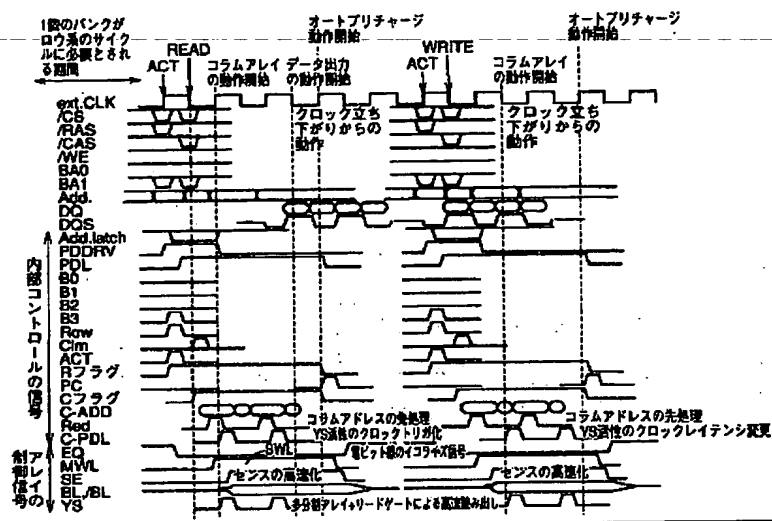
【図73】



【図74】



【圖 7 7】



【圖 7 7】

